19-3360; Rev 0; 8/04

用于AMD Hammer CPU核电源的多相、固定频率控制器

MAX8707

概述

MAX8707是一款多相(3/4相)、交错式、固定频率、降压型控制器，用于为AMD Hammer CPU 核供电。多相交错工作减少了输入电流纹波和输出电压波纹，同时简化了元件选择和布局设计。MAX8707包含可调增益和偏移的有源电压定位功能，降低了功耗和对大体积输出电容的要求。

MAX8707可以用于两种不同的笔记本CPU核供电方案：直接从电池降压或从+5V 系统电源降压，产生核电压。一次变换方案直接从高压电池降压，可达到尽可能高的效率。另外一种方案，二次变换(从+5V的系统电源降压而不是从电池降压)方案能够工作在更高的开关频率，可获得最小的物理尺寸。

MAX8707的每一相都有专门的差分检流输入，并包括第5对检流输入，利用单个检流电阻可提供精确的电压定位斜率和平均电流限流保护。MAX8707还有两个专用的输入，提供差分远端电压检测。

MAX8707具有一个设置挂起电压的模拟输入，以及一个用于在VID码或挂起电压之间转换的摆率控制器。控制器降低了启动和关断期间的转换摆率，提供具有最小输入浪涌电流的软启动，阻尼软关断功能保证没有负输出下冲。MAX8707集成了输出故障保护电路——欠压、非锁定过压和热过载保护——以及一个独立的电压调节器"电源好" (VROK)输出。

MAX8707提供可选择的开关频率，每相可选择为200kHz、300kHz或600kHz的工作频率。MAX8707采用低截面的40引脚6mm x 6mm的薄型QFN封装。与其兼容的驱动器请参考MAX8702/MAX8703。

特性

- 3/4相交错式、固定频率控制器
- 在整个输入、负载和温度变化范围内保持±0.75%的 V_{OUT} 精度
- 5位内置数/模转换器(DAC)—0.80V至1.55V
- 可调挂起电压输入
- 有源电压定位，具有可调增益和偏移
- 精确、无损的电流均衡
- 精确的下垂和电流限制
- 远端输出和地检测
- 输出摆率控制
- "电源好"窗口比较器
- 可选开关频率：200kHz/300kHz/600kHz
- 输出过压和欠压保护
- 热故障保护
- 2V ±0.7%基准输出
- 软启动和关断

定购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX8707ETL	-40°C to +85°C	40 Thin QFN 6mm x 6mm

应用

AMD Hammer台式计算机

多相CPU核电源

电压定位降压型转换器

笔记本电脑/台式计算机

服务器

引脚配置在数据资料的最后部分给出。

本文是Maxim正式英文资料的译文，Maxim不对翻译中存在的差异或由此产生的错误负责。请注意译文中可能存在文字组织或翻译错误，如需确认任何词语的准确性，请参考Maxim提供的英文版资料。
索取免费样品和最新版的数据资料，请访问Maxim的主页：www.maxim-ic.com.cn。

ABSOLUTE MAXIMUM RATINGS

V_{CC} to GND ....-0.3V to +6V
D0–D4 to GND..-0.3V to +6V
SKIP, SUS, VROK, ILIM(AVE) to GND.....................-0.3V to +6V
SUSV, OFS, OSC to GND..-0.3V to +6V
CSP_, CSN_, CRSP, CRSN to GND ....-0.3V to +6V
VPS, FBS, CCV, REF to GND ....-0.3V to (V_{CC} + 0.3V)
ILIM(PK), TRC, TIME to GND ....-0.3V to (V_{CC} + 0.3V)
PWM_, $\overline{\text{DRSKP}}$ to PGND ....-0.3V to (V_{CC} + 0.3V)
PGND, GNDS to GND ....-0.3V to +0.3V
$\overline{\text{SHDN}}$ to GND (Note 1)..-0.3V to +14V
REF Short-Circuit Duration ....Continuous
Continuous Power Dissipation (T_A = +70°C)
  40-Pin 6mm x 6mm Thin QFN
  (derate 26.3mW/°C above +70°C)...............................2.105W
Operating Temperature Range ....-40°C to +85°C
Junction Temperature ....+150°C
Storage Temperature Range ....-65°C to +150°C
Lead Temperature (soldering, 10s) ....+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Note 1: $\overline{\text{SHDN}}$ can be forced to 12V for debugging prototype boards using the no-fault test mode, which disables fault protection.

ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1. $V_{CC} = V_{\overline{SHDN}}$ = 5V, OSC = REF, $V_{VPS} = V_{FBS} = V_{CRSN} = V_{CRSP} = V_{CSP_}$ = 1.20V, V_{SUSV} = 0.8V, OFS = SUS = GNDS = PGND = SKIP = GND, D0–D4 set for 1.20V (D0–D4 = 01110). **T_A = 0°C to +85°C**, unless otherwise specified. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
PWM CONTROLLER							
Input Voltage Range	V_{CC}			4.5		5.5	V
DC Output Voltage Accuracy	V_{OUT}	Includes load-regulation error (VPS = FBS)	DAC codes from 1.10V to 1.55V	-0.75		+0.75	%
			DAC codes from 0.80V to 1.075V	-2.0		+2.0	%
			SUS = V_{CC}	-20		+20	mV
SUSV Input Range	V_{SUSV}			0.4		2.0	V
SUSV Input-Bias Current	I_{SUSV}	V_{SUSV} = 0.4V to 2V		-0.1		+0.1	µA
OFS Input Range	V_{OFS}	Negative offsets		0		0.8	V
		Positive offsets		1.2		2.0	
OFS GAIN	A_{OFS}	$\Delta V_{OUT} / \Delta V_{OFS}$, $\Delta V_{OFS} = V_{OFS}$, V_{OFS} = 0 to 0.8V		-0.131	-0.125	-0.118	V/V
		$\Delta V_{OUT} / \Delta V_{OFS}$, $\Delta V_{OFS} = V_{OFS}-V_{REF}$, V_{OFS} = 1.2V to 2V		-0.131	-0.125	-0.118	
OFS Input-Bias Current	I_{OFS}	V_{OFS} = 0 to 2V		-0.1		+0.1	µA
GNDS Input Range	V_{GNDS}			-200		+200	mV
GNDS Gain	A_{GNDS}	$\Delta V_{OUT} / \Delta V_{GNDS}$, -200mV ≤ V_{GNDS} ≤ +200mV		0.95	1.00	1.05	V/V
GNDS Input-Bias Current	I_{GNDS}			-2		+2	µA
FBS Input-Bias Current	I_{FBS}	CRSP = CRSN, CSP_ = CSN_		-10		+10	µA
Switching Frequency Accuracy (Per Phase)	f_{SW}	OSC = GND		180	200	220	kHz
		OSC = REF		270	300	330	
		OSC = V_{CC}		540	600	660	

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1. V_{CC} = $V_{\overline{SHDN}}$ = 5V, OSC = REF, V_{VPS} = V_{FBS} = V_{CRSN} = V_{CRSP} = $V_{CSP_}$ = 1.20V, V_{SUSV} = 0.8V, OFS = SUS = GNDS = PGND = SKIP = GND, D0–D4 set for 1.20V (D0–D4 = 01110). **T_A = 0°C to +85°C**, unless otherwise specified. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TIME Slew-Rate Accuracy		R_{TIME} = 143kΩ (6.25mV/µs)	-10		+10	%
		R_{TIME} = 47kΩ (19mV/µs) to 392kΩ (2.28mV/µs)	-15		+15	
		Startup and shutdown, R_{TIME} = 47kΩ (4.75mV/µs) to 392kΩ (0.57mV/µs)	-20		+20	
BIAS AND REFERENCE						
Quiescent Supply Current (V_{CC})	I_{CC}	Measured at V_{CC}, VPS and FBS forced above the regulation points		7	12	mA
Shutdown Supply Current (V_{CC})	$I_{CC(SHDN)}$	Measured at V_{CC}, $\overline{SHDN}$ = GND		0.05	10	µA
Reference Voltage	V_{REF}	V_{CC} = 4.5V to 5.5V, I_{REF} = 0	1.986	2.000	2.014	V
Reference Load Regulation	ΔV_{REF}	I_{REF} = 0 to 500µA	-2	-0.2		mV
		I_{REF} = -100µA to 0		0.21	6.2	
FAULT PROTECTION						
Output Overvoltage-Protection Threshold	V_{OVP}	Measured at VPS with respect to unloaded output voltage, rising edge, 8mV hysteresis: PWM (SKIP = GND) or SKIP mode when $V_{OUT} \leq V_{TRIP}$	150	200	250	mV
		Measured at VPS with respect to unloaded output voltage, rising edge, 8mV hysteresis: SKIP = V_{CC} and V_{OUT} > V_{TRIP}	1.70	1.75	1.80	V
		Minimum OVP level		1.1		
Output Overvoltage Propagation Delay	t_{OVP}	VPS forced 25mV above trip threshold		10		µs
Output Undervoltage-Protection Threshold	V_{UVP}	Measured at VPS with respect to 70% of the unloaded nominal output voltage	-30		+30	mV
Output Undervoltage Propagation Delay	t_{UVP}	VPS forced 25mV below trip threshold		10		µs
VROK Transition Blanking Time	t_{BLANK}	Measured from the time when VPS reaches the target voltage, slew rate set by R_{TIME} (Note 2)		20		µs
VROK Threshold		Undervoltage measured at VPS with respect to 87.5% unloaded output voltage, falling edge, 15mV hysteresis	-30		+30	mV
		Overvoltage measured at VPS with respect to 112.5% of the unloaded output voltage, rising edge, 15mV hysteresis	-30		+30	
VROK Delay	t_{VROK}	VPS forced 25mV outside the VROK trip thresholds		10		µs
VROK Output Low Voltage		I_{SINK} = 3mA			0.4	V
VROK Leakage Current		High state, VROK forced to 5.5V			1	µA

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1. V_{CC} = $V_{\overline{SHDN}}$ = 5V, OSC = REF, V_{VPS} = V_{FBS} = V_{CRSN} = V_{CRSP} = $V_{CSP_}$ = 1.20V, V_{SUSV} = 0.8V, OFS = SUS = GNDS = PGND = SKIP = GND, D0–D4 set for 1.20V (D0–D4 = 01110). **T_A = 0°C to +85°C**, unless otherwise specified. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
V_{CC} Undervoltage-Lockout Threshold	$V_{UVLO(VCC)}$	Rising edge, hysteresis = 20mV, PWM_ disabled below this level		4.10	4.25	4.45	V
Thermal-Shutdown Threshold	T_{SHDN}	Rising edge hysteresis = 15°C			+160		°C
DROOP AND TRANSIENT RESPONSE							
DC Droop Amplifier Offset				-1.5		+1.5	mV
DC Droop Amplifier Transconductance (CRS Sense Enabled)	$G_{m(VPS)}$	ΔI_{VPS} / (N x ΔV_{CRS}), V_{VPS} = V_{CRSN} = 1.2V, V_{CRSP} - V_{CRSN} = -60mV to +60mV, N = number of phases enabled		194	200	206	µS
DC Droop Amplifier Transconductance (CRS Sense Disabled)	$G_{m(VPS)}$	ΔI_{VPS} / ($\Sigma\Delta V_{CS}$), V_{CRSP} = V_{CC}, V_{VPS} = $V_{CSN_}$ = 1.2V, $V_{CSP_}$ – $V_{CSN_}$ = -60mV to +60mV		194	200	206	µS
Transient-Droop Transresistance	R_{TRANS}	Current-sense gain (A_{CS} = 10 typ) divided by the voltage preamplifier transconductance ($G_{m(TRC)}$ = 2ms typ)		4.75	5.0	5.25	kΩ
Transient Detection Threshold		Measured at VPS with respect to steady-state VPS regulation voltage; falling edge, 5.5mV hysteresis (typ)		-30	-25	-20	mV
CURRENT LIMIT AND BALANCE							
Current-Sense Input Preamplifier Offsets		CSP_ - CSN_		-2.0		+2.0	mV
ILIM(AVE) Input Range (Adjustable Mode)	$V_{ILIM(AVE)}$			V_{REF} - 1.0		V_{REF} - 0.2	V
ILIM(AVE) Average Current-Limit Threshold Voltage (Positive, Default)	$V_{AVELIMIT}$	CRSP - CRSN; ILIM(AVE) = V_{CC}		22	25	28	mV
ILIM(AVE) Average Current-Limit Threshold Voltage (Positive, Adjustable)	$V_{AVELIMIT}$	CRSP - CRSN	$V_{ILIM(AVE)}$ = V_{REF} - 0.2V	7	10	13	mV
			$V_{ILIM(AVE)}$ = V_{REF} - 1.0V	46	50	54	
ILIM(AVE) Average Current-Limit Threshold Voltage (Negative)		CRSP - CRSN; ILIM(AVE) = V_{CC}		-30	-25	-20	mV
ILIM(AVE) Input Current	$I_{ILIM(AVE)}$			-0.1		+0.1	µA
ILIM(AVE) Current-Limit Default Switchover Threshold				3	V_{CC} - 1.0	V_{CC} - 0.4	V
ILIM(PK) Peak Current-Limit Threshold Voltage (Positive)	$V_{PKLIMIT}$	CSP_ - CSN_, $R_{ILIM(PK)}$ = R_{TRC} x 8V / $V_{LIM(PK)}$	$V_{PKLIMIT}$ = 30mV	24	30	36	mV
			$V_{PKLIMIT}$ = 50mV	40	50	60	
ILIM(PK) Peak Current-Limit Threshold Voltage (Negative)		CSP_ - CSN_, $R_{ILIM(PK)}$ = R_{TRC} x 8V / $V_{PKLIMIT}$, $V_{PKLIMIT}$ = 50mV		-60	-50	-40	mV

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1. V_{CC} = $V_{\overline{SHDN}}$ = 5V, OSC = REF, V_{VPS} = V_{FBS} = V_{CRSN} = V_{CRSP} = $V_{CSP_}$ = 1.20V, V_{SUSV} = 0.8V, OFS = SUS = GNDS = PGND = SKIP = GND, D0–D4 set for 1.20V (D0–D4 = 01110). **T_A = 0°C to +85°C**, unless otherwise specified. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ILIM(PK) Idle Current-Limit Threshold Voltage (Skip Mode)	V_{IDLE}	CSP_ - CSN_, V_{SKIP} ≥ 1.2V, $R_{ILIM(PK)}$ = R_{TRC} x 8V / $V_{PKLIMIT}$, $V_{PKLIMIT}$ = 50mV	2	5	8	mV
Current-Sense Input Current		CSP_, CRSP	-0.2		+0.2	µA
		CSN_, CRSN	-1.0		+1.0	µA
Current-Sense Common-Mode Input Range		CRSP, CRSN, CSP_, CSN_	0		2	V
Phase Disable Threshold		CSP4	3	V_{CC} - 1	V_{CC} - 0.4	V
CRS Sense Input Disable Threshold		CRSP	3	V_{CC} - 1	V_{CC} - 0.4	V
LOGIC AND I/O						
Logic Input High Voltage	V_{IH}	$\overline{SHDN}$, SUS	2.4			V
Logic Input Low Voltage	V_{IL}	$\overline{SHDN}$, SUS			0.8	V
$\overline{SHDN}$ No-Fault Threshold		To enable no-fault mode	11		13	V
D0–D4 Logic Input High Voltage			0.8			V
D0–D4 Logic Input Low Voltage					0.4	V
OSC 3-Level Input Logic Levels	V_{OSC}	High (V_{CC})	V_{CC} - 0.4			V
		Medium (REF)	1.8		2.2	V
		Low (GND)			0.4	V
SKIP Input Logic Levels	V_{SKIP}	High	1.2			V
		Low (GND)			0.8	V
Logic Input Current		$\overline{SHDN}$, SKIP, SUS, OSC, D0–D4 = 0 to 5V	-1		+1	µA
Logic Output High Voltage	V_{OH}	PWM_, $\overline{DRSKP}$; I_{SOURCE} = 3mA	V_{CC} - 0.4			V
Logic Output Low Voltage	V_{OL}	PWM_, $\overline{DRSKP}$; I_{SINK} = 3mA			0.4	V

ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1. $V_{CC} = V_{\overline{SHDN}}$ = 5V, OSC = REF, $V_{VPS} = V_{FBS} = V_{CRSN} = V_{CRSP} = V_{CSP_}$ = 1.20V, V_{SUSV} = 0.8V, OFS = SUS = GNDS = PGND = SKIP = GND, D0–D4 set for 1.20V (D0–D4 = 01110). **T_A = -40°C to +85°C**, unless otherwise specified.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS		MIN	MAX	UNITS
PWM CONTROLLER						
Input Voltage Range	V_{CC}			4.5	5.5	V
DC Output Voltage Accuracy	V_{OUT}	Includes load-regulation error (VPS = FBS)	DAC codes from 1.10V to 1.55V	-1.0	+1.0	%
			DAC codes from 0.80V to 1.075V	-3.0	+3.0	
			SUS = V_{CC}	-25	+25	mV
SUSV Input Range	V_{SUSV}			0.4	2.0	V
OFS Input Range	V_{OFS}	Negative offsets		0	0.8	V
		Positive offsets		1.2	2.0	
OFS GAIN	A_{OFS}	$\Delta V_{OUT} / \Delta V_{OFS}$; $\Delta V_{OFS} = V_{OFS}$, V_{OFS} = 0 to 0.8V		-0.131	-0.118	V/V
		$\Delta V_{OUT} / \Delta V_{OFS}$; $\Delta V_{OFS} = V_{OFS} - V_{REF}$, V_{OFS} = 1.2V to 2V		-0.131	-0.118	
GNDS Input Range	V_{GNDS}			-200	+200	mV
GNDS Gain	A_{GNDS}	$\Delta V_{OUT} / \Delta V_{GNDS}$, -200mV ≤ V_{GNDS} ≤ +200mV		0.95	1.05	V/V
Switching Frequency Accuracy (Per Phase)	f_{SW}	OSC = GND		180	220	kHz
		OSC = REF		270	330	
		OSC = V_{CC}		540	660	
TIME Slew-Rate Accuracy		R_{TIME} = 143kΩ (6.25mV/µs)		-10	+10	%
		R_{TIME} = 47kΩ (19mV/µs) to 392kΩ (2.28mV/µs)		-15	+15	
		Startup and shutdown, R_{TIME} = 47kΩ (4.75mV/µs) to 392kΩ (0.57mV/µs)		-20	+20	
BIAS AND REFERENCE						
Quiescent Supply Current (V_{CC})	I_{CC}	Measured at V_{CC}, VPS and FBS forced above the regulation points			12	mA
Shutdown Supply Current (V_{CC})	$I_{CC(SHDN)}$	Measured at V_{CC}, $\overline{SHDN}$ = GND			10	µA
Reference Voltage	V_{REF}	V_{CC} = 4.5V to 5.5V, I_{REF} = 0		1.98	2.02	V
Reference Load Regulation	ΔV_{REF}	I_{REF} = 0 to 500µA		-2		mV
		I_{REF} = -100µA to 0			6.2	
FAULT PROTECTION						
Output Overvoltage-Protection Threshold	V_{OVP}	Measured at VPS with respect to unloaded output voltage, rising edge, 8mV hysteresis	PWM (SKIP = GND) or SKIP mode when $V_{OUT} \le V_{TRIP}$	150	250	mV
			SKIP = V_{CC} and $V_{OUT} > V_{TRIP}$	1.70	1.80	V

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1. V_{CC} = $V_{\overline{SHDN}}$ = 5V, OSC = REF, V_{VPS} = V_{FBS} = V_{CRSN} = V_{CRSP} = $V_{CSP_}$ = 1.20V, V_{SUSV} = 0.8V, OFS = SUS = GNDS = PGND = SKIP = GND, D0–D4 set for 1.20V (D0–D4 = 01110). **T_A = -40°C to +85°C**, unless otherwise specified.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	MAX	UNITS
Output Undervoltage-Protection Threshold	V_{UVP}	Measured at VPS with respect to 70% of the unloaded nominal output voltage	-40	+40	mV
VROK Threshold		Undervoltage, measured at VPS with respect to 87.5% of the unloaded output voltage, falling edge, 15mV hysteresis	-40	+40	mV
		Overvoltage, measured at VPS with respect to 112.5% of the unloaded output voltage, rising edge, 15mV hysteresis	-40	+40	
VROK Output Low Voltage		I_{SINK} = 3mA		0.4	V
V_{CC} Undervoltage-Lockout Threshold	$V_{UVLO(VCC)}$	Rising edge, hysteresis = 20mV, PWM_ disabled below this level	4.10	4.45	V
DROOP AND TRANSIENT RESPONSE					
DC Droop Amplifier Offset			-2	+2	mV
DC Droop Amplifier Transconductance (CRS Sense Enabled)	$G_{m(VPS)}$	ΔI_{VPS} / (N x ΔV_{CRS}), V_{VPS} = V_{CRSN} = 1.2V, V_{CRSP} - V_{CRSN} = -60mV to +60mV, N = number of phases enabled	190	210	µS
DC Droop Amplifier Transconductance (CRS Sense Disabled)	$G_{m(VPS)}$	ΔI_{VPS} / ($\Sigma \Delta V_{CS}$), V_{CRSP} = V_{CC}, V_{VPS} = $V_{CSN_}$ = 1.2V, $V_{CSP_}$ - $V_{CSN_}$ = -60mV to +60mV	190	210	µS
Transient-Droop Transresistance	R_{TRANS}	Current-sense gain (A_{CS} = 10 typ) divided by the voltage preamplifier transconductance ($G_{m(TRC)}$ = 2mS typ)	4.50	5.25	kΩ
CURRENT LIMIT AND BALANCE					
Current-Sense Input Preamplifier Offsets		CSP_ - CSN_	-2.5	+2.5	mV
ILIM(AVE) Input Range (Adjustable Mode)	$V_{ILIM(AVE)}$		V_{REF} - 1.0	V_{REF} - 0.2	V
ILIM(AVE) Average Current-Limit Threshold Voltage (Positive, Default)	$V_{AVELIMIT}$	CRSP - CRSN; ILIM(AVE) = V_{CC}	20	30	mV
ILIM(AVE) Average Current-Limit Threshold Voltage (Positive, Adjustable)	$V_{AVELIMIT}$	CRSP - CRSN; $V_{ILIM(AVE)}$ = V_{REF} - 0.2V	5	15	mV
		CRSP - CRSN; $V_{ILIM(AVE)}$ = V_{REF} - 1.0V	44	56	
ILIM(AVE) Average Current-Limit Threshold Voltage (Negative)		CRSP - CRSN; ILIM(AVE) = V_{CC}	-31	-19	mV
ILIM(AVE) Current-Limit Default Switchover Threshold			3	V_{CC} - 0.4	V

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1. $V_{CC} = V_{\overline{SHDN}}$ = 5V, OSC = REF, $V_{VPS} = V_{FBS} = V_{CRSN} = V_{CRSP} = V_{CSP_}$ = 1.20V, V_{SUSV} = 0.8V, OFS = SUS = GNDS = PGND = SKIP = GND, D0–D4 set for 1.20V (D0–D4 = 01110). **T_A = -40°C to +85°C**, unless otherwise specified.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS		MIN	MAX	UNITS
ILIM(PK) Peak Current-Limit Threshold Voltage (Positive)	$V_{PKLIMIT}$	CSP_ - CSN_, $R_{ILIM(PK)} = R_{TRC}$ x 8V / $V_{LIM(PK)}$	$V_{PKLIMIT}$ = 30mV	24	36	mV
			V_{PKLIMT} = 50mV	40	60	
ILIM(PK) Peak Current-Limit Threshold Voltage (Negative)		CSP_ - CSN_, $R_{ILIM(PK)} = R_{TRC}$ x 8V / $V_{PKLIMIT}$, $V_{PKLIMIT}$ = 50mV		-60	-40	mV
ILIM(PK) Idle Current-Limit Threshold Voltage (Skip Mode)	V_{IDLE}	CSP_ - CSN_, $V_{SKIP} \geq$ 1.2V, $R_{ILIM(PK)} = R_{TRC}$ x 8V / $V_{PKLIMIT}$, $V_{PKLIMIT}$ = 50mV		2	8	mV
Current-Sense Input Current		CSP_, CRSP		-0.2	+0.2	µA
		CSN_, CRSN		-1.0	+1.0	
Current-Sense Common-Mode Input Range		CRSP, CRSN, CSP_, CSN_		0	2	V
Phase Disable Threshold		CSP4		3	V_{CC} - 0.4	V
CRS Sense Input Disable Threshold		CRSP		3	V_{CC} - 0.4	V
LOGIC AND I/O						
Logic Input High Voltage	V_{IH}	$\overline{SHDN}$, SUS		2.4		V
Logic Input Low Voltage	V_{IL}	$\overline{SHDN}$, SUS			0.8	V
D0–D4 Logic Input High Voltage				0.8		V
D0–D4 Logic Input Low Voltage					0.4	V
OSC 3-Level Input Logic Levels	V_{OSC}	High (V_{CC})		V_{CC} - 0.4		V
		Medium (REF)		1.8	2.2	
		Low (GND)			0.4	
SKIP Input Logic Levels	V_{SKIP}	High		1.2		V
		Low (GND)			0.8	
Logic Output High Voltage	V_{OH}	PWM_, $\overline{DRSKP}$; I_{SOURCE} = 3mA		V_{CC} - 0.4		V

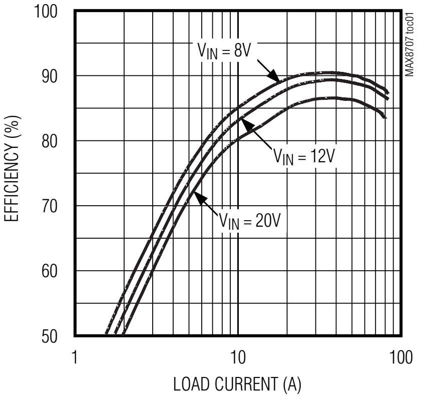
Note 2: VROK is blanked during the transitions, when the internal target is being slewed. See the *Output-Voltage Transition Timing* section. VROK is reenabled in t_{BLANK} (20µs) after the transition is completed.

Note 3: Specifications to T_A = -40°C are guaranteed by design and are not production tested.

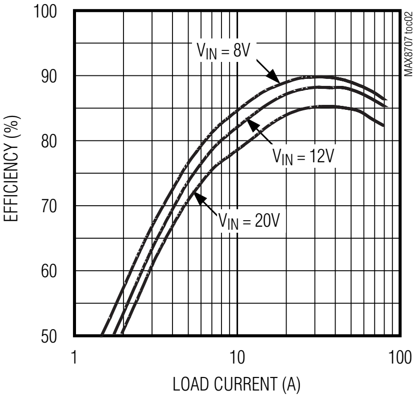
典型工作特性

(Circuit of Figure 1. V_{IN} = 12V, V_{CC} = 5V, SUS = SKIP = GND, $\overline{SHDN}$ = V_{CC}, V_{SUSV} = 0.80V, T_A = +25°C, unless otherwise specified.)

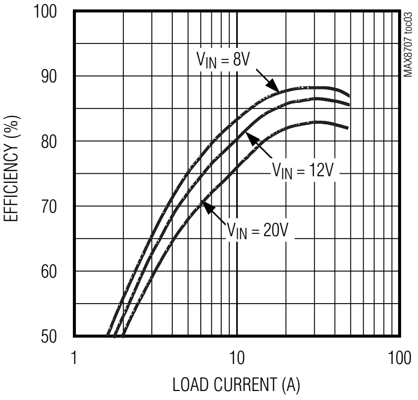
EFFICIENCY vs. LOAD CURRENT (V_{OUT} = 1.525V)



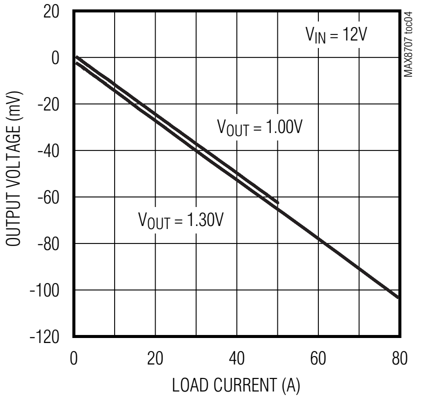
EFFICIENCY vs. LOAD CURRENT (V_{OUT} = 1.300V)



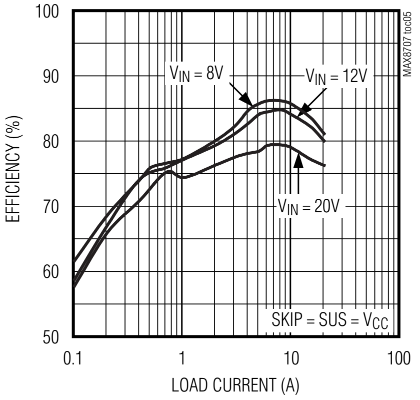
EFFICIENCY vs. LOAD CURRENT (V_{OUT} = 1.000V)



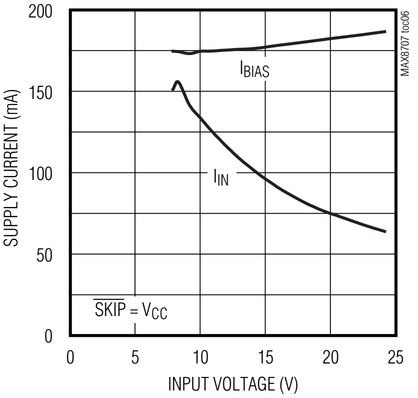
OUTPUT VOLTAGE DEVIATION vs. LOAD CURRENT



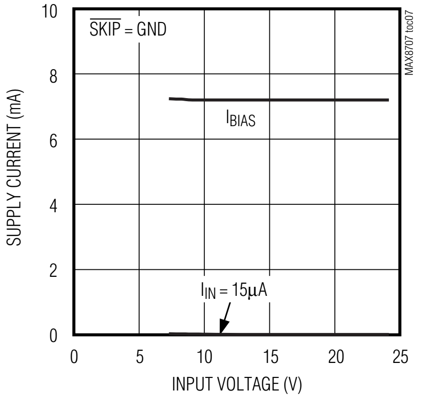
SINGLE-PHASE EFFICIENCY vs. LOAD CURRENT (V_{OUT} = 0.800V)



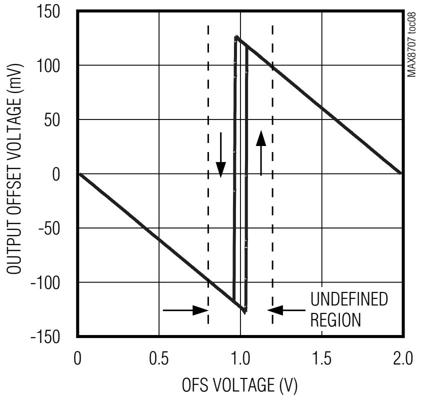
NO-LOAD SUPPLY CURRENT vs. INPUT VOLTAGE (4-PHASE FORCED-PWM MODE)



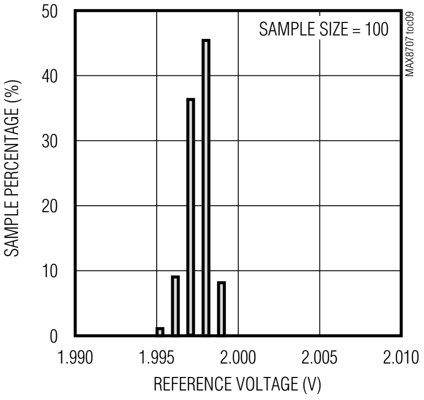
NO-LOAD SUPPLY CURRENT vs. INPUT VOLTAGE (1-PHASE PULSE SKIPPING)



OUTPUT OFFSET VOLTAGE vs. OFS VOLTAGE



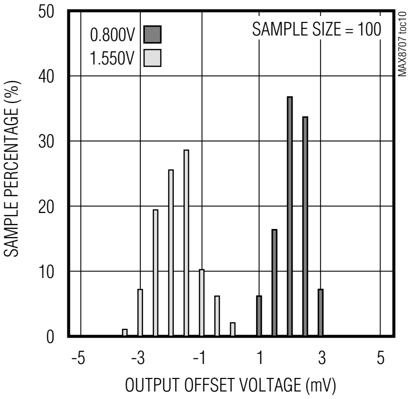
REFERENCE VOLTAGE DISTRIBUTION



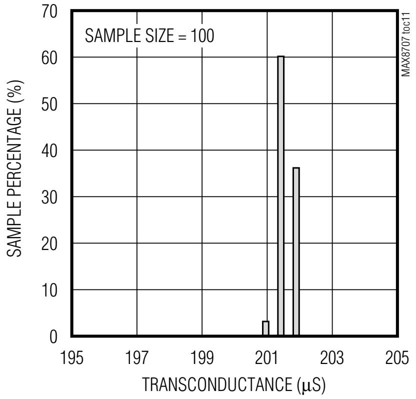
典型工作特性(续)

(Circuit of Figure 1. V_{IN} = 12V, V_{CC} = 5V, SUS = SKIP = GND, $\overline{SHDN}$ = V_{CC}, V_{SUSV} = 0.80V, T_A = +25°C, unless otherwise specified.)

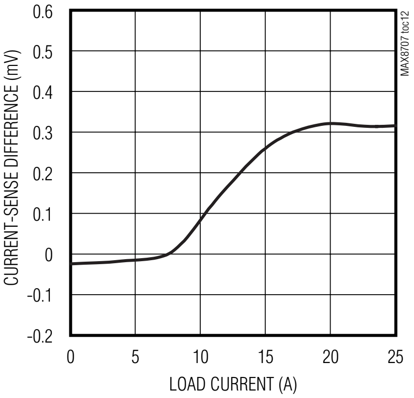
OUTPUT OFFSET VOLTAGE DISTRIBUTION



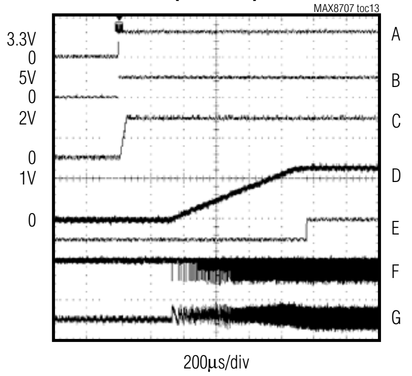
VPS TRANSCONDUCTANCE DISTRIBUTION



CURRENT-SENSE VOLTAGE DIFFERENCE vs. LOAD CURRENT

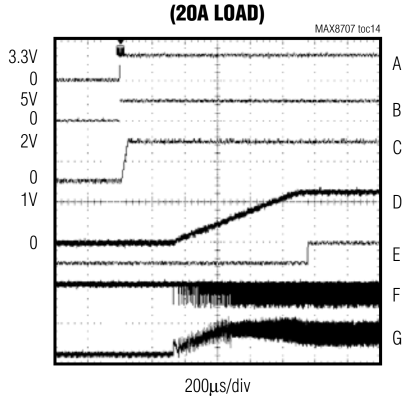


STARTUP WAVEFORM (NO LOAD)



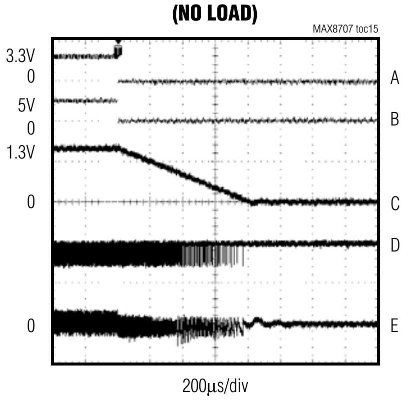
A. $\overline{SHDN}$, 5V/div
B. $\overline{DRSKP}$, 10V/div
C. REF, 2V/div
D. OUT, 1V/div
E. VROK, 10V/div
F. DL1, 10V/div
G. INDUCTOR CURRENT (I_{L1}), 10A/div

STARTUP WAVEFORM (20A LOAD)



A. $\overline{SHDN}$, 5V/div
B. $\overline{DRSKP}$, 10V/div
C. REF, 2V/div
D. OUT, 1V/div
E. VROK, 10V/div
F. DL1, 10V/div
G. INDUCTOR CURRENT (I_{L1}), 10A/div

SHUTDOWN WAVEFORM (NO LOAD)

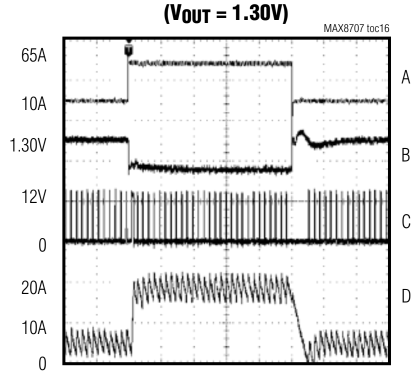


A. $\overline{SHDN}$, 5V/div
B VROK, 10V/div
C. OUT, 1V/div
D. DL1, 10V/div
E. INDUCTOR CURRENT (I_{L1}), 10A/div

典型工作特性 (续)

(Circuit of Figure 1. V_{IN} = 12V, V_{CC} = 5V, SUS = SKIP = GND, $\overline{SHDN}$ = V_{CC}, V_{SUSV} = 0.80V, T_A = +25°C, unless otherwise specified.)

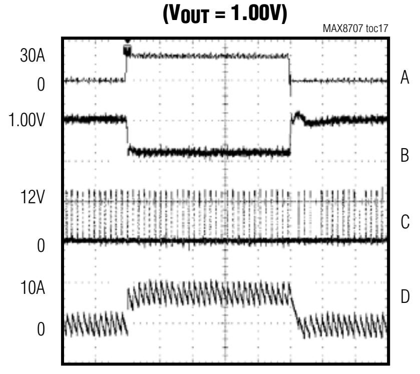
LOAD TRANSIENT (V_{OUT} = 1.30V)



20µs/div

A. I_{OUT} = 10A TO 65A, 50A/div
B. V_{OUT}, 100mV/div
C. LX1, 10V/div
D. INDUCTOR CURRENT (I_{L1}), 10A/div

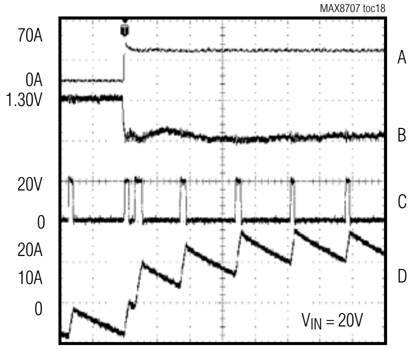
LOAD TRANSIENT (V_{OUT} = 1.00V)



20µs/div

A. I_{OUT} = 0 TO 30A, 50A/div
B. V_{OUT}, 50mV/div
C. LX1, 10V/div
D. INDUCTOR CURRENT (I_{L1}), 10A/div

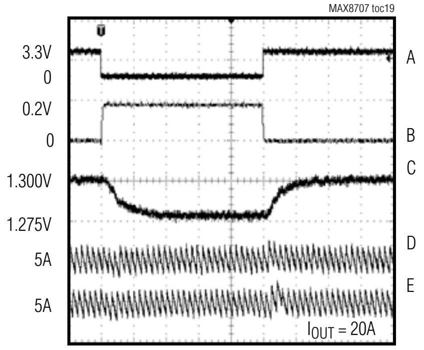
TRANSIENT PHASE REPEAT



2µs/div

A. I_{OUT} = 0 TO 70A, 100A/div
B. V_{OUT}, 100mV/div
C. LX1, 10V/div
D. INDUCTOR CURRENT (I_{L1}), 10A/div

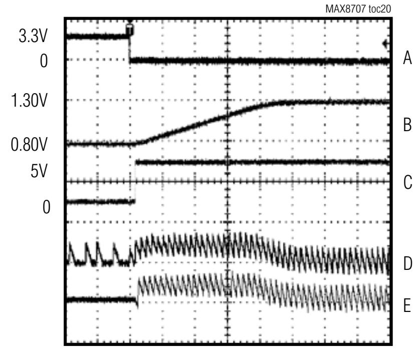
DEEP-SLEEP TRANSITION



20µs/div

A. $\overline{DPSLP}$, 5V/div
B. OFS, 200mV/div
C. V_{OUT}, 25mV/div
D. INDUCTOR CURRENT (I_{L1}), 10A/div
E. INDUCTOR CURRENT (I_{L3}), 10A/div

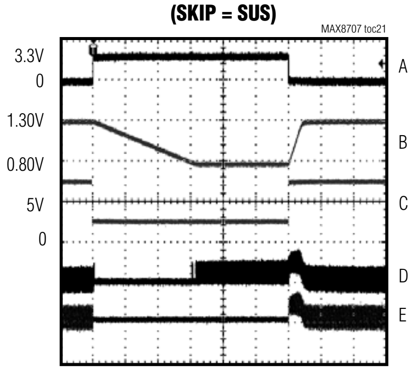
SUSPEND EXIT TRANSITION



20µs/div

A. SUS, 5V/div
B. V_{OUT}, 500mV/div
C. $\overline{DRSKP}$, 5V/div
D. INDUCTOR CURRENT (I_{L1}), 10A/div
E. INDUCTOR CURRENT (I_{L3}), 10A/div

SUSPEND TRANSITION (SKIP = SUS)



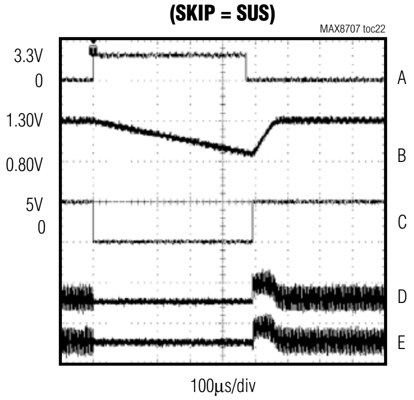
200µs/div

A. SUS, 5V/div
B. V_{OUT}, 500mV/div
C. $\overline{DRSKP}$, 5V/div
D. INDUCTOR CURRENT (I_{L1}), 10A/div
E. INDUCTOR CURRENT (I_{L3}), 10A/div

典型工作特性 (续)

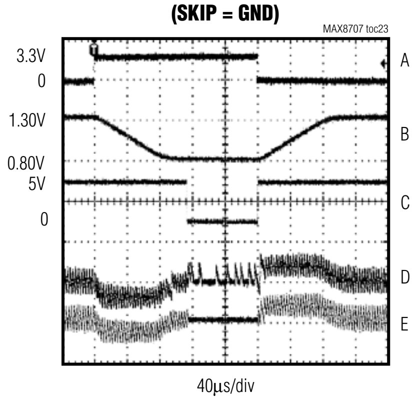
(Circuit of Figure 1. V_{IN} = 12V, V_{CC} = 5V, SUS = SKIP = GND, $\overline{SHDN}$ = V_{CC}, V_{SUSV} = 0.80V, T_A = +25°C, unless otherwise specified.)

SUSPEND TRANSITION (SKIP = SUS)



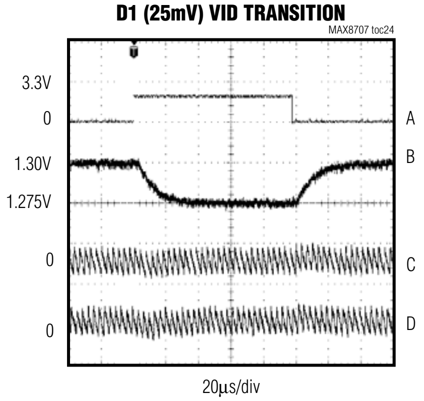
A. SUS, 5V/div
B. V_{OUT}, 500mV/div
C. $\overline{DRSKP}$, 5V/div
D. INDUCTOR CURRENT (I_{L1}), 10A/div
E. INDUCTOR CURRENT (I_{L3}), 10A/div

SUSPEND TRANSITION (SKIP = GND)



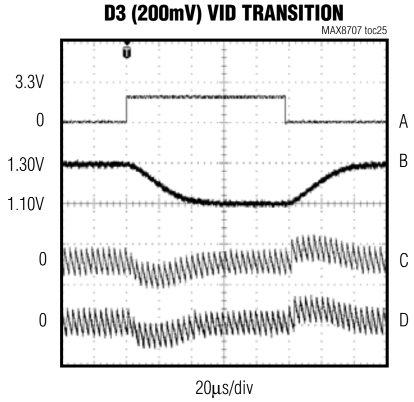
A. SUS, 5V/div
B. V_{OUT}, 500mV/div
C. $\overline{DRSKP}$, 5V/div
D. INDUCTOR CURRENT (I_{L1}), 10A/div
E. INDUCTOR CURRENT (I_{L3}), 10A/div

D1 (25mV) VID TRANSITION



A. D1, 5V/div
B. V_{OUT}, 25mV/div
C. INDUCTOR CURRENT (I_{L1}), 10A/div
D. INDUCTOR CURRENT (I_{L3}), 10A/div

D3 (200mV) VID TRANSITION



A. D3, 5V/div
B. V_{OUT}, 200mV/div
C. INDUCTOR CURRENT (I_{L1}), 10A/div
D. INDUCTOR CURRENT (I_{L3}), 10A/div

引脚	名称	功能
1	D2	低电压 VID DAC 码输入。D0–D4 输入不具有内部上拉。这些 1.0V 逻辑输入设计用来直接与 CPU 连接。在正常模式下 (表 4 中，SUS = GND)，由 D0–D4 的逻辑电平电压表示的 VID 码来设定输出电压。在挂起模式下 (SUS = 高)，输出电压跟踪 SUSV 脚的电压。
2	D3	低电压 VID DAC 码输入
3	D4	低电压 VID DAC 码输入 (MSB)
4	N.C.	不连接。保持开路。该引脚有内部连接。
5	SKIP	跳脉冲指示输入。跳脉冲模式时，控制器屏蔽 VROK 上门限。 3.3V 或 V_{CC} (高) = 单相跳脉冲工作模式 (2、3 和 4 相被关闭) GND = 多相强制 PWM 工作模式 在启动、关断和无 CPU VID 模式期间，控制器自动进入强制 PWM 模式。
6	$\overline{\text{SHDN}}$	关断控制输入。该输入端不能承受电池电压。接至 V_{CC} 时正常工作。接地则使 IC 进入 50nA (典型) 关断状态。在启动和关断过渡过程中，输出电压的变化速率为 R_{TIME} 设定摆率的 1/4。软关断结束后，禁止驱动器——拉低 $\overline{\text{DRSKP}}$ 和 PWM_。将 $\overline{\text{SHDN}}$ 强拉到 11V~13V，可禁止过压保护电路和欠压保护电路，并清除故障锁存器。不要将 $\overline{\text{SHDN}}$ 接至大于 13V 的电压。
7	SUS	挂起模式控制输入。当控制器检测到 SUS 有变化时，控制器将输出电压摆动至新的、由 SUSV (SUS = 高) 或 D0–D4 (SUS = 低) 确定的电压。控制器在过渡期间和目标电压到达后的另外 20µs 屏蔽 VROK。当 SUS 为高时，偏移 (OFS) 被自动禁止。
8	SUSV	挂起模式电压输入。连接到一个 REF 至 GND 之间的电阻分压器输出，提供 0.4V 至 2V 的模拟电压。SUS 为高时输出电压由 SUSV 电压设定。
9	ILIM(AVE)	平均电流限制门限调节端。控制器利用精确的 CRSP-CRSN 检流电压来限制每相平均电流。当超过平均电流门限时，控制器内部以每 µs 2% $I_{PKLIMIT}$ 的速率降低峰值电感电流门限 (ILIM(PK))，直至平均电流回到设定的门限内。禁止精确电流检测时 (CRSP = V_{CC})，平均电流限制电路被禁止，$I_{LIM(AVE)}$ 应该接至 V_{CC}。 如果 ILIM(AVE) 电压接至 V_{CC}，则默认平均电流门限为 25mV。可调模式中，平均电流门限精确等于 ILIM(AVE) 电压与基准电压差的 1/20：$(V_{REF} - V_{ILIM(AVE)})/20$，在 1.0V ($V_{REF}$ - 1V) 至 1.8V (V_{REF} - 0.2V) 范围内。切换到 25mV 默认值的逻辑门限约为 V_{CC} - 1V。
10	OFS	可调偏移电压输入。当 $0 < V_{OFS} < 0.8V$ 时，OFS 电压的 1/8 被从输出中减去。当 $1.2V < V_{OFS} < 2.0V$ 时，REF 和 OFS 电压差的 1/8 被加到输出上。$0.8V < V_{OFS} < 1.2V$ 范围没有定义。在挂起模式中 (SUS = 高)，控制器禁止偏移放大器。

引脚说明(续)

引脚	名称	功能
11	OSC	振荡器选择输入。OSC 为选择每相开关频率的 3 电平逻辑输入。对于每相 200kHz，接至 GND，对于每相 300kHz，接至 REF，对于每相 600kHz，接至 V_{CC}。
12	GNDS	地远端检测输入。将 GNDS 直接接至 CPU 地检测引脚。GNDS 内接至调节输出电压的一个放大器，补偿稳压器地到负载地的压差。
13	TIME	摆率调节引脚。TIME 对 GND 接一只电阻，设置内部摆率。47kΩ 至 392kΩ 的阻值分别对应 19mV/µs 至 2.28mV/µs 的摆率，对于所有挂起电压的转变： $$t_{TRAN(SUS)} = \frac{\lvert V_{NEW} - V_{OLD} \rvert}{dV_{TARGET}/dt}$$ 其中，dV_{TARGET}/dt = 6.25mV/µs x 143kΩ/R_{TIME} 为摆率。对于软启动和关断过程，控制器自动将摆率降至 1/4。对于所有动态 VID 转变，VID 输入(D0–D4) 的变化速率决定了摆率，只要其小于 R_{TIME} 设定的 dv/dt。
14	ILIM(PK)	峰值电感电流门限调节端 (逐周期限流)。如果检流输入端 (CSP 至 CSN) 的压降大于峰值限流门限，控制器立即结束相应相的导通周期。ILIM (PK)对 GND 接一只电阻 $R_{ILIM(PK)}$，设置逐周期峰值限流门限： $$R_{ILIM(PK)} = \frac{8V \times R_{TRC}}{I_{PKLIMIT}\, R_{CS}}$$ 其中，R_{CS} 为检流元件 (电感的 DCR 或检流电阻) 的阻值，R_{TRC} 为 TRC 和 REF 之间的电阻值，$I_{PKLIMIT}$ 为期望的峰值电流门限 (每相)。
15	CCV	电压积分器电容连接端。CCV 对模拟地 (GND) 接一只 470pF x (4/η_{PH}) 或容值更大的电容，以设置积分时间常数。
16	TRC	瞬态电压预放大器输出。TRC 与 REF 间接一只电阻 (R_{TRC})，根据电压定位要求来设定瞬态下垂。TRC 不影响直流稳态下垂。根据以下公式来选择 R_{TRC}： $$R_{TRC} = A_{CS}\left(\frac{R_{TRANS}R_{CS}}{\eta_{PH}R_{DROOP(AC)}}\right)$$ 如*设计步骤中所定*(第 33 页)。如果不需要电压定位，则根据稳定性要求来确定 R_{TRC}。在关断模式中，TRC 为高阻。

引脚说明 (续)

引脚	名称	功能
17	REF	2.0V 基准电压输出。对 GND 接一只 0.22µF 至 1µF (最大值) 的旁路陶瓷电容。基准电压能为外部负载提供 500µA 电流。由于 REF 的负载调整误差，加载 REF 会降低输出电压精确度。
18	VROK	开漏极电源好输出。上电后，只要输出电压处于稳压状态，则 VROK 保持为高阻。一旦摆率控制有效 (输出电压转换)，则控制器屏蔽 VROK (高阻)。在启动和关断期间，VROK 被强制拉低。在跳脉冲模式 (SKIP = 高) 下，VROK 上限被禁止。
19	GND	模拟地。将 MAX8707 的裸露垫盘接至模拟地。
20	PGND	功率地。驱动器控制输出 (PWM_) 和驱动器跳脉冲输出 ($\overline{\text{DRSKP}}$) 的地。
21	V_{CC}	模拟电源输入。V_{CC} 串联一只 10Ω 电阻到系统电源电压 (4.5V 至 5.5V)。尽可能靠近 IC 接一只 1µF 或容值更大的旁路陶瓷电容到模拟 GND。
22	PWM1	相 1 的 PWM 驱动器控制输出。关断模式中为逻辑低。
23	PWM2	相 2 的 PWM 驱动器控制输出。关断模式中为逻辑低。
24	PWM3	相 3 的 PWM 驱动器控制输出。关断模式中为逻辑低。
25	PWM4	相 4 的 PWM 驱动器控制输出。当禁止 (CSP4 = V_{CC}) 时或在关断模式中为逻辑低。
26	$\overline{\text{DRSKP}}$	驱动器跳脉冲控制输出。推挽逻辑输出，用于控制跳脉冲模式的驱动器 IC 的工作模式。$\overline{\text{DRSKP}}$ 在 V_{CC} 和 PGND 间摆动。当 $\overline{\text{DRSKP}}$ 为高时，驱动器 IC 工作在强制 PWM 模式。当 $\overline{\text{DRSKP}}$ 为低时，驱动器 IC 使能过零比较器，并工作在跳脉冲模式。
27	FBS	远端反馈检测输入。FBS 接至 CPU 输出检测点上。为使因 FBS 输入串联电阻引起的输出电压误差最小，控制器产生了一个与 VPS 输出电流等幅且极性相反的 FBS 输入偏置电流。在关断模式中，FBS 为高阻。
28	VPS	电压定位跨导放大器输出。在 VPS 和 FBS 之间接一只电阻 R_{VPS}，根据要求的电压定位斜率来设定直流稳态下垂 (负载线) (请参见*电压定位放大器*一节)。 $R_{VPS} = R_{DROOP} / (R_{SENSE} \times G_{M(VPS)})$ 其中，R_{DROOP} 为期望的直流电压定位斜率，R_{SENSE} 为检流阻值，$G_{M(VPS)}$ = 200µs。R_{SENSE} 为形成检流电压 (CRSP 和 CRSN) 的精密检测电阻。当 CRSP 接至 V_{CC} 时，跨导放大器的输入电压为检流电压 (CSP_ 和 CSN_) 输入之和。将电感直流电阻 (R_{DCR}) 用作检流元件时 (无损检测)，R_{VPS} 应该包括一只 NTC 热敏电阻来降低电压定位斜率的温度依赖性。要禁止电压定位功能，可将 VPS 与 FBS 短接。在关断模式下，VPS 为高阻。
29	CRSN	检流电阻负极输入。CRSN 为差分负极输入，用于 1 相电感电流的精确检测。在 CRSP 和 CRSN 间接一只检流电阻，用于精确电压定位和电流限制。不使用时，浮空 CRSN (CRSP 上拉至 V_{CC})。

引脚说明 (续)

引脚	名称	功能
30	CRSP	正极检流电阻输入。CRSP 为差分正极输入，用于 1 相电感电流的精确检测。在 CRSP 和 CRSN 间接一只检流电阻。如果所有相 (CSP_ 和 CSN_) 都使用检流电阻，则将 CRSP 接至 V_{CC} 并浮空 CRSN，省掉这个额外的检流 (CRSP 和 CRSN) 功能。
31	CSP1	相 1 的正极检流输入。根据检流的实现方式，该输入引脚应该接至检流电阻或 DCR 检测滤波电容的正端。
32	CSN1	相 1 的负极检流输入。
33	CSN2	相 2 的负极检流输入。
34	CSP2	相 2 的正极检流输入。根据检流的实现方式，该输入引脚应该接至检流电阻或 DCR 检测滤波电容的正端。
35	CSP3	相 3 的正极检流输入。根据检流的实现方式，该输入引脚应该接至检流电阻或 DCR 检测滤波电容的正端。
36	CSN3	相 3 的负极检流输入。
37	CSN4	相 4 的负极检流输入。
38	CSP4	相 4 的正极检流输入。根据检流的实现方式，该输入引脚应该接至检流电阻或 DCR 检测滤波电容的正端。若为固定 3 相工作时，则 CSP4 接至 V_{CC}。
39	D0	低压 VID-DAC 码输入。D0–D4 输入没有内部上拉。这些 1.0V 逻辑输入设计用来直接与 CPU 连接。在正常模式下 (表 4 中，SUS = 低)，输出电压由 D0–D4 上 VID-DAC 输入来设定。在挂起模式下(SUS = 高)，输出电压跟踪 SUSV 脚的电压。
40	D1	低压 VID-DAC 码输入。

详细说明

+5V 偏置电源 (V_{CC})

除了电池，MAX8707 还需要一个外部的 +5V 偏置电源。一般来说，这个 +5V 偏置电源取自效率高达 95% 的 +5V 系统电源。采用外部偏置电源，可提高效率，并省下了一个 +5V 线性稳压器的成本，否则的话，还需要集成一个线性稳压器来为 PWM 电路和栅极驱动器供电。若需单独运行，则可外接一只线性稳压器来提供 +5V 偏置电源。

+5V 偏置电源必须提供给 V_{CC} (用于 PWM 控制器)和 V_{DRV} (FET 的栅极-驱动电源)，这样需要的最大电流为：

$$I_{BIAS} = I_{CC} + I_{DRIVE}$$

其中，I_{CC} 取自 *Electrical Characteristics* 表，I_{DRIVE} 为 f_{SW} x Q_G (每相) 确定的驱动器电源电流，如驱动器数据资料中所确定。如果 +5V 偏置电源比电池电源先上电，则必须延迟使能信号 ($\overline{SHDN}$ 由低变高)，直至电池电压已就绪，以确保启动。

开关频率(OSC)

OSC 三电平逻辑输入可用来设置每相开关频率。OSC 直接与 GND、REF 或 V_{CC} 连接分别可设置工作频率为 200kHz、300kHz 和 600kHz。高工作频率(600kHz，OSC = V_{CC})可减小元件的尺寸，使应用在尺寸方面得到优化，但由于较高的开关损耗，效率方面有所折扣。负载电流比较低的超轻便设备能够接受这种折衷。低工作频率(200kHz，OSC = GND)提供最佳的总体效率，但要以更大的元件尺寸和板上空间为代价。

交错式多相工作

MAX8707 的所有工作相交错运行——这种错相工作方式对于输入和输出滤波的要求最低，降低了电磁干扰(EMI)，并提高了效率。多相控制器在多个相之间分摊电流，这些相电路之间相位差 90° (4 相) 或 120° (3 相) 错相工作。正常工作时，不会同时开启高侧 MOSFET。瞬态输入电流随着工作相数的增加而同比降低，从而降低了输入电压纹波、ESR 功率损耗和 RMS 纹波电流(请参见*输入电容选择*一节)。因此，控制器获得了高性能，同时减少了元件数量——这就降低了成本，节省了板面空间，并降低了元件的功率要求——使 MAX8707 成为大功率、成本敏感应用的理想器件。

瞬态相重复

出现一个瞬变时，控制器的响应时间取决于其自身快速响应输出电压偏移和将电感电流摆动至新的电流水平的能力。多相、固定频率控制器一般只在时钟沿响应，这样就产生了一个相对于实际瞬态事件的响应延迟。为消除这种延迟时间，MAX8707 采用一种瞬态相重复功能，使控制器检测到重负载瞬态变化时立即响应。如果控制器检测到输出电压降低了 25mV，则瞬态检测比较器立即重新触发已完成前一次导通周期的相。后面的相依然正常触发——在对应的振荡器边沿。这相当于提前一个整周期触发了某一相，提高了总电感电流的摆率，提供一个立即的瞬态响应。

反馈-调节放大器

电压定位放大器(稳态下垂)

多相控制器集成了一个跨导放大器，用来给电压定位检测通道增加增益。电流检测输入以差分方式检测一只检流电阻(使能 CRS 检测时)或电感 DCR (禁止 CRS 检测时)上的压降。VPS (电压定位检测)放大器的输入可以来自于单相检测(CRS 检测)结果乘以工作相数，或所有工作相的检流输入(CS_)之和(CRSP = V_{CC})。跨导放大器的输出接至调节器的电压定位反馈输入(VPS)，因此，VPS 和输出电压检测点(FBS)之间的电阻确定了电压定位增益：

$$V_{OUT} = V_{TARGET} - R_{VPS} I_{VPS}$$

其中，目标电压(V_{TARGET})的定义在*额定电压选择*一节中给出，跨导放大器输出电流(I_{VPS})由检流电压和工作相数(η_{PH})来确定(当 CRS 检测被使能时)：

$$I_{VPS} = \eta_{PH} (V_{CRSP} - V_{CRSN}) G_{M(VPS)}$$

或者：

$$I_{VPS} = \Sigma (V_{CSP_} - V_{CSN_}) G_{M(VPS)}$$

当禁止 CRS 检测时(CRSP = V_{CC})。

其中，如 *Electrical Characteristics* 表所示，$G_{M(VPS)}$ 一般为 200μs。为避免因 VPS 电流流经引线电阻或反馈滤波电阻而引起输出电压误差，另一个跨导放大器产生一个等值且反向的电流施加到 FBS 输入。

将 VPS 与 FBS 直接短路，可禁止电压定位。

用于 AMD Hammer CPU 核电源的多相、固定频率控制器

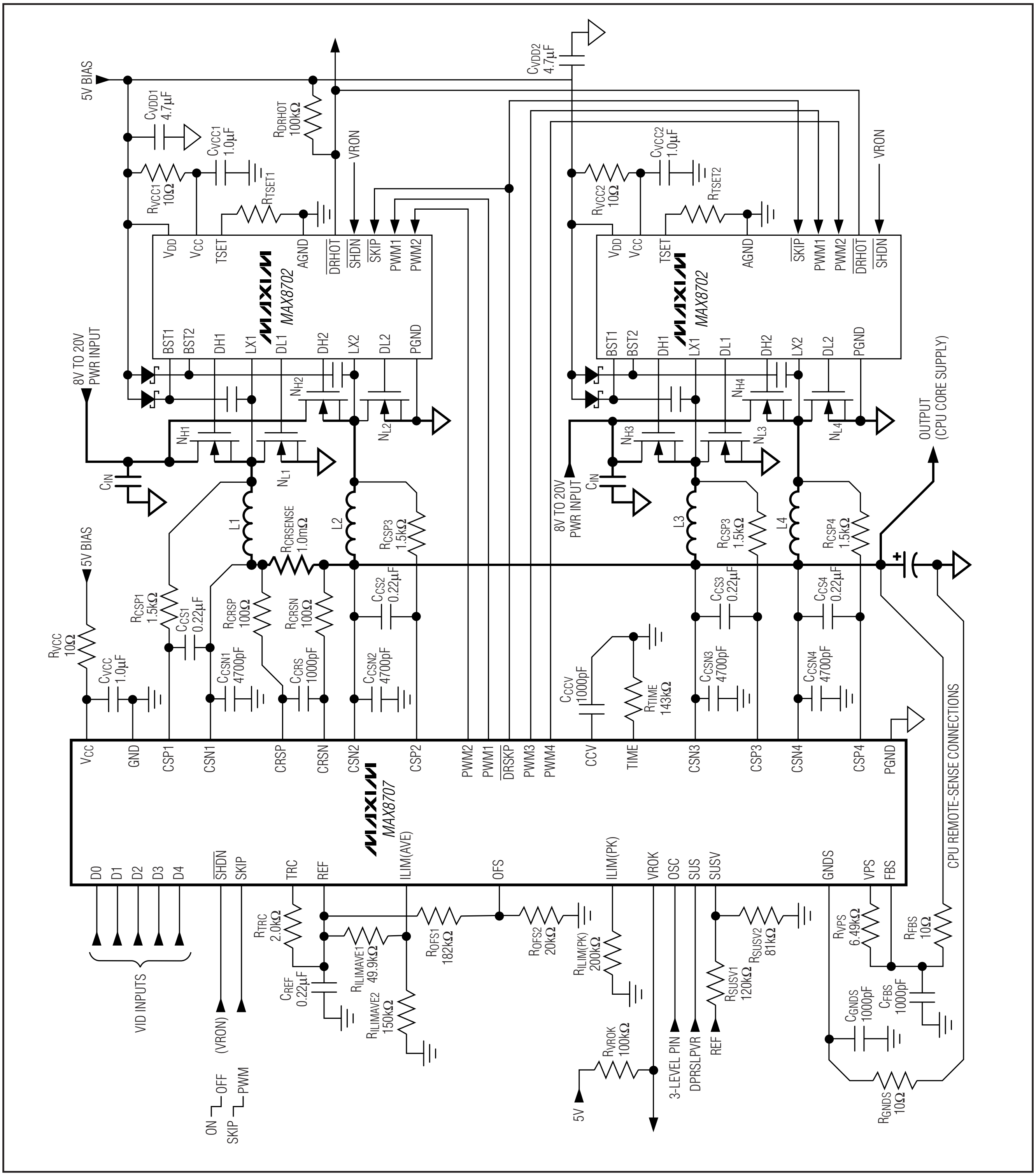


图 1. 标准 MAX8707 AMD Hammer 应用电路

瞬态下垂放大器

MAX8707 控制器集成了一个瞬态下垂跨导放大器，用来控制负载的瞬态变化 (在 CPU 应用中很常见)。瞬态下垂放大器可控制负载瞬变期间的电压定位，使其具有合适的斜率，以补偿较慢的稳态电压定位放大器。检流输入以差分方式检测 CSP_ 和 CSN_ 检流元件 (电感的 DCR 或检流电阻) 上的压降。跨导放大器的输出连接到调节器的瞬态响应输入端 (TRC)，因此，TRC 和基准电压 (REF) 之间的电阻决定了瞬态电压定位增益，正如*多相、固定频率设计步骤*一节中所定义的。

如果不需要电压定位，则 R_{DROOP} 由最差情况下的瞬态负载 ($\Delta V_{OUT} / \Delta I_{OUT}$) 的最大输出电压下降量来确定，受稳定性要求影响。TRC 在关断模式中为高阻抗。

差分远端检测

多相控制器还包含了差分远端检测输入，以补偿电压在印刷板走线和处理器电源引脚上的电压降。

MAX8707 的 GNDS 放大器直接对目标电压叠加一个偏移量，调节输出电压，抵消地通道的压降。将反馈检测 (FBS)、电压定位电阻 (R_{VPS}) 和地检测 (GNDS) 输入直接接到处理器的核电源远端检测输出端。

积分放大器

积分放大器驱使 VPS 电压的直流平均值等于目标电压。这个跨导放大器对反馈电压积分，精细调整输出电压 (图 2)，提供一个精确的、与输出纹波电压无关的直流输出电压。积分放大器能使输出电压偏移 ±100mV (典型值)。差分输入电压范围至少为 ±60mV，包括直流偏移量和交流纹波量。CCV 引脚外接的一只补偿电容可很方便地确定积分时间常数。采用 470pF x ($4/\eta_{PH}$) 或容值更高的陶瓷电容。

如果在跳脉冲模式 (SKIP = 高) 发生瞬态变化，MAX8707 会在瞬态过程开始时将放大器的输入端短接来禁止积分器。积分器一直保持无效，直到瞬态过程结束 (内部目标电压稳定下来)，并且输出进入稳定状态 (检测到误差比较器跳变) 20µs 后。

当禁止电压定位 (VPS = FBS) 时，瞬态下垂必须小于积分放大器的 ±80mV 最小调节范围，以保证足够的直流输出精度。

表 1. 标准多相应用中的元件选择

DESIGNATION	MAX8707 AMD HAMMER COMPONENTS
	Circuit of Figure 1
Input Voltage Range	7V to 24V
VID Output Voltage (D4–D0)	1.50V (D4–D0 = 00010)
SUSV Suspend Voltage (SUS = High)	0.80V
Maximum Load Current	80A
Number of Phases (η_{TOTAL})	4 phases (1) MAX8705 + (2) MAX8702
Inductor (Per Phase)	0.56µH, 1.6mΩ Panasonic ETQP4LR56WFC
Switching Frequency (Per Phase)	300kHz (OSC = REF)
High-Side MOSFET (N_H, Per Phase)	Siliconix (1) Si7892DP
Low-Side MOSFET (N_L, Per Phase)	Siliconix (2) Si7356DP
Total Input Capacitance (C_{IN})	(8) 10µF, 25V TDK C3225X7R1E106M Taiyo Yuden TMK325BJ106MN
Total Output Capacitance (C_{OUT})	(6) 330µF, 2.5V, 9mΩ Sanyo 2R5TPE330M9
Current-Sense Resistor (R_{SENSE})	1.0mΩ Panasonic ERJM1WTJ1M0U

偏移放大器

多相控制器还包括第五个放大器，用于给电压定位的负载线叠加一个很小的偏移量。偏移放大器的输出直接与目标电压相加，使偏移增益与 DAC 码无关。该放大器能够使输出电压偏移 ±100mV。利用 OFS 输入端的分压电阻来调节偏移量。输入为 0 至 0.8V 时，偏移放大器对输出电压叠加一个负偏移电压，偏移量等于 1/8 倍 OFS 输入端电压 ($V_{OFFSET} = -0.125 \times V_{OFS}$)。输入为 1.2V 至 2V 时，偏移放大器对输出电压叠加一个正偏移电压，偏移量等

用于 AMD Hammer CPU 核电源的多相、固定频率控制器

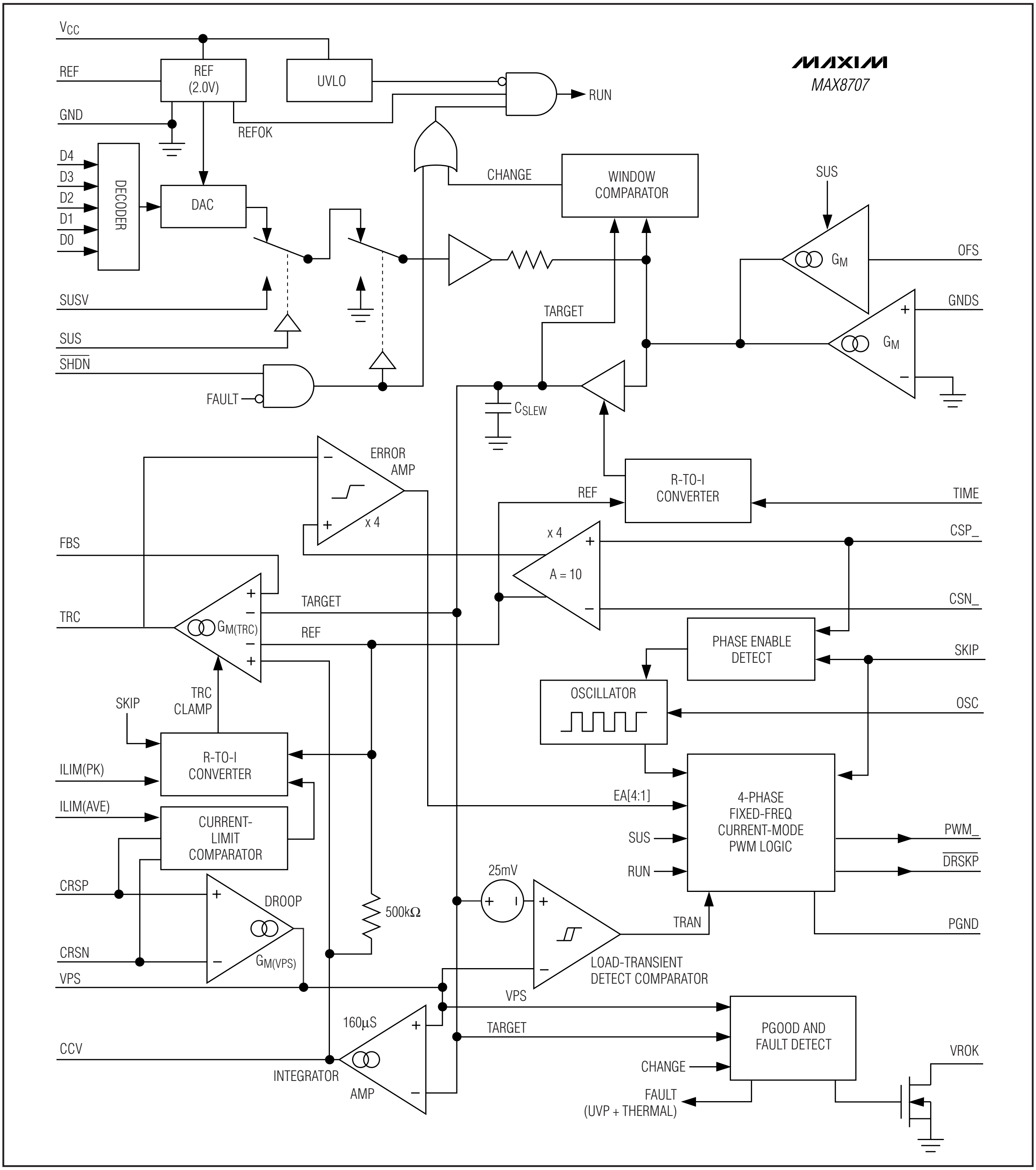


图 2. MAX8707 功能框图

表 2. 元件供应商

MANUFACTURER	WEBSITE
BI Technologies	www.bitechnologies.com
Central Semiconductor	www.centralsemi.com
Coilcraft	www.coilcraft.com
Coiltronics	www.coiltronics.com
Fairchild Semiconductor	www.fairchildsemi.com
International Rectifier	www.irf.com
Kemet	www.kemet.com
Panasonic	www.panasonic.com
Sanyo	www.secc.co.jp
Siliconix (Vishay)	www.vishay.com
Sumida	www.sumida.com
Taiyo Yuden	www.t-yuden.com
TDK	www.component.tdk.com
TOKO	www.tokoam.com

表 3. 工作模式真值表

$\overline{SHDN}$	SUS	SKIP	OFS	输出电压	工作模式
GND	X	X	X	GND	低功耗关断模式。强制拉低 PWM_ 输出，禁止控制器。电源电流降低至 10µA (最大值)。
V_{CC}	GND	GND	GND 或 REF	D0–D4 (无偏差)	正常工作。由选定的 VID DAC 码 (表 4 中，D0–D4) 来确定空载输出电压。
V_{CC}	GND	V_{CC}	GND 或 REF	D0–D4 (无偏差)	跳脉冲工作。当拉高 SKIP 时，MAX8707 立即进入跳脉冲工作模式，可在轻载情况下自动在 PWM/PFM 模式间切换。VROK 上限被屏蔽。
V_{CC}	GND	X	0 至 0.8V 或 1.2V 至 2.0V	D0–D4 (加偏差)	深睡眠模式。由选定的 VID DAC 码 (表 4 中，D0–D4) 与 OFS 引脚设定的偏移电压之和来确定空载输出电压。
V_{CC}	V_{CC}	X	X	SUSV (无偏差)	挂起模式/单相跳脉冲。空载输出电压由出现在 SUSV 上的挂起电压决定，忽略其他所有有效的工作模式。
V_{CC}	X	X	X	GND	故障模式。故障锁存器已被 UVP 或热关断故障置位。控制器将一直保持 FAULT 模式，直到循环加载 V_{CC} 或切换 $\overline{SHDN}$。

X = 无关

于基准电压与 OFS 输入电压差值的 1/8 倍 (V_{OFFSET} = 0.125 x (V_{REF} -V_{OFS}))。利用这种方式，控制器只需单个输入就可实现正和负偏移。图 3 给出了这种分段线性传递函数。传递函数中零以下、2.0V 以上以及 0.8V 至 1.2V 几个域没有定义。OFS 输入不允许在这些区域，对于输出的影响也没有规定。

在挂起模式中 (SUS = 高)，控制器禁止偏移放大器。

额定输出电压选择

额定空载输出电压 (V_{TARGET}) 由选定的电压基准 (VID DAC 或 SUSV) 与偏移电压以及远端地检测调整量(V_{GNDS}) 之和确定，如下式所示：

$$V_{TARGET} = V_{DAC} + V_{OFFSET} + V_{GNDS}$$

(当 SUD = GND 时)

其中，V_{DAC} 为正常工作 (SUS = 低，见表 4) 期间选定的 VID 电压，V_{OFFSET} 为 OFS 引脚确定的偏移电压 (表 3)。在挂起模式 (SUS = 高)，偏移电压放大器被关闭，目标电压跟踪 SUSV 输入电压：

$$V_{TARGET} = V_{SUSV} + V_{GNDS}$$

(当 SUS = V_{CC} 时)

MAX8707 使用一个多路复用器，从三种不同输入中选择一种 (图 2) — VID DAC 的输出、SUSV 挂起电压或地 (控制器被关闭)。启动时，MAX8707 将目标电压从地逐渐提升到 D0–D4 译码后的电压 (SUS = 低) 或 SUSV 电压 (SUS = 高)。

DAC 输入 (D0–D4)

在正常的强制 PWM 工作模式下 (SUS = 低)，DAC 利用 D0–D4 输入来设定输出电压。D0–D4 为低压 (1.0V) 逻辑输入，可直接与 CPU 连接。不要悬空 D0–D4 引脚。D0–D4 可在 MAX8707 工作的时候改变，以转变到一个新的输出电压。必须同时改变 D0–D4，各位之间的转换时间偏差不要大于 50ns。否则，DAC 会读取不正确的数据，造成输出在部分时间内向错误的电压摆动，随后才摆向需要的电压，延长了总的转换时间。DAC 编码和对应的输出电压兼容于 AMD Hammer 的规定 (表 4)。

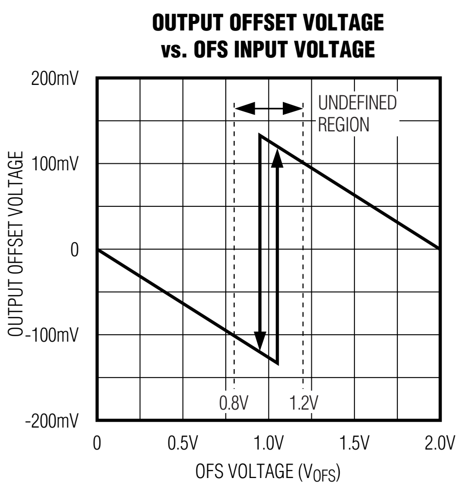


图 3. 输出偏移电压与 OFS 输入电压。

挂起模式

当进入小功率挂起模式时，处理器可将电压调节器设置到更低的输出电压，以降低功耗。MAX8707 集成了一个带缓冲的挂起电压输入 (SUSV) 和一个数字 SUS 控制输入。挂起电压可利用外部连接在 REF、SUSV 和模拟地之间的一个电阻分压器来调节。挂起电压调节范围为 0.4V 至 2.0V (V_{REF})。

当 CPU 挂起时 (SUS = 高)，控制器关闭偏移放大器，忽略 D0–D4 设置的 5 位 VID-DAC 码，并将输出电压调整到由 SUSV 电压设定的目标电压。转换过程中，MAX8707 屏蔽掉两个 VROK 门限检测，直到摆率控制器到达挂起模式电压 20µs 后。20µs 后，MAX8707 (SKIP 被拉低) 自动切换到 1 相、跳脉冲控制方式，强制拉低 $\overline{\text{DRSKP}}$，并屏蔽掉 VROK 上限检测。

输出电压的过渡过程

MAX8707 以一种受控的方式实现模式间的过渡，自动使输入浪涌电流减至最小。这个特性给电路设计者带来了

表 4. AMD Hammer 输出电压 VID DAC 编码 (SUS = GND)

D4	D3	D2	D1	D0	OUTPUT VOLTAGE (V)	D4	D3	D2	D1	D0	OUTPUT VOLTAGE (V)
0	0	0	0	0	1.550	1	0	0	0	0	1.150
0	0	0	0	1	1.525	1	0	0	0	1	1.125
0	0	0	1	0	1.500	1	0	0	1	0	1.100
0	0	0	1	1	1.475	1	0	0	1	1	1.075
0	0	1	0	0	1.450	1	0	1	0	0	1.050
0	0	1	0	1	1.425	1	0	1	0	1	1.025
0	0	1	1	0	1.400	1	0	1	1	0	1.000
0	0	1	1	1	1.375	1	0	1	1	1	0.975
0	1	0	0	0	1.350	1	1	0	0	0	0.950
0	1	0	0	1	1.325	1	1	0	0	1	0.925
0	1	0	1	0	1.300	1	1	0	1	0	0.900
0	1	0	1	1	1.275	1	1	0	1	1	0.875
0	1	1	0	0	1.250	1	1	1	0	0	0.850
0	1	1	0	1	1.225	1	1	1	0	1	0.825
0	1	1	1	0	1.200	1	1	1	1	0	0.800
0	1	1	1	1	1.175	1	1	1	1	1	No CPU*

**无 CPU 模式：控制器进入无 CPU 模式时，以关断摆率将输出电压降低到 0V。退出无 CPU 模式时，控制器以启动摆率控制输出电压上升到新的 VID 输出电压。在无 CPU 模式中，控制器保持待命状态，可以检测到 VID 的变化。*

近乎理想的过渡过程，保证新输出电压的到来恰到好处，同时又尽可能降低给定输出电容下的峰值电流。

输出电压的过渡过程开始时，MAX8707 屏蔽掉两个 VROK 门限检测，阻止 VROK 开漏输出在过渡过程中改变状态。在摆率控制器达到目标输出电压后再经过约 20µs，控制器开启 VROK 下限检测，但只有控制器工作在强制 PWM 模式时才开启 VROK 上限检测。如果控制器进入跳脉冲工作模式，则一直关闭 VROK 上限检测。摆率 (由电阻 R_{TIME} 设定) 必须足够快，以确保在最长允许期限内完成过渡。

当过渡过程发生在跳脉冲模式时，MAX8707 设置 OVP 至 1.75V，并在开始时关闭积分器。OVP 值保持在 1.75V，积分器保持关闭状态，一直到过渡过程完成 (内部目标达到)，并且输出进入稳定状态 (检测到一个误差比较器跳变沿) 后 20µs。

MAX8707 自动将电流控制到在计算出的时间内完成过渡过程所需的最低水平。摆率控制器利用一个内部的电容和一个由 R_{TIME} 设定的电流源来控制输出电压的过渡过程。总的过渡时间取决于 R_{TIME}、电压差和摆率控制器的精度 (C_{SLEW} 的精度)。只要浪涌电流小于 ILIM(AVE) 和 ILIM(PK) 设定的电流门限，则摆率与输出总电容无关。对于进入和退出挂起模式的过渡过程，过渡时间 (t_{TRAN}) 取决于下式：

$$t_{TRAN(SUS)} = \frac{|V_{NEW} - V_{OLD}|}{dV_{TARGET} / dt}$$

其中，$dV_{TARGET} / dt = 6.25mV/\mu s \times 143k\Omega / R_{TIME}$ 为摆率，V_{OLD} 为初始输出电压，V_{NEW} 为新的目标电压。有关 t_{SLEW} 的极限值参见 *Electrical Characteristics* 表中的 TIME Slew-Rate Accuracy 指标。在软启动和关断中，控制器自动将摆率降低到 1/4：

$$t_{TRAN(START)} = t_{TRAN(SHDN)} = \frac{4V_{TARGET}}{dV_{TARGET}/dt}$$

在所有动态VID过渡过程中，VID输入(D0–D4)的变化速率决定了电压的摆率，摆率的最大极限由R_{TIME}阻值设定。实际R_{TIME}的阻值范围是47kΩ至392kΩ，分别对应于19mV/µs至2.28mV/µs的摆率。输出电压跟踪目标电压而摆动，使过渡过程相当平滑。

要产生一定的输出电压变化，每相需要提供的平均电感电流为：

$$I_L \cong \frac{C_{OUT}}{\eta_{PH}} \times (dV_{TARGET}/dt)$$

其中，dV_{TARGET}/dt为要求的摆率，C_{OUT}为输出总电容值，η_{PH}为工作相数。

挂起模式过渡过程 (选择强制PWM工作模式)

当配置为强制PWM模式的MAX8707(SKIP被拉低)进入挂起模式时，控制器按照R_{TIME}设定的速率将输出电压降低到预先设定的SUSV电压。在此期间控制器屏蔽VROK (强制为高阻态)，直到过渡过程结束—内部目标电压等于SUSV电压—20µs后。在此屏蔽过程结束后，控制器自动关断相2、相3和相4(拉低$\overline{DRSKP}$)，进入单相跳脉冲操作模式。跳脉冲模式下VROK只监测下限。

退出挂起模式时(拉低SUS)，MAX8707立即激活所有被使能的相(拉高$\overline{DRSKP}$)，使输出电压按照R_{TIME}确定的摆率上升。在此期间控制器屏蔽VROK(强制为高阻)，直到转换结束—内部目标电压等于选定的VID-DAC电压—20µs后。

挂起模式过渡过程 (选择跳脉冲工作模式)

如果MAX8707被设置成跳脉冲模式(SKIP = 高)，则当SUS变高时，MAX8707立即关闭相2、相3和相4(拉低$\overline{DRSKP}$)，进入跳脉冲操作模式(图5)。输出电压按照负载和输出电容确定的速率下降。内部目标电压仍然按以前的速率变化，VROK保持为高阻态，直至输出到达新的目标电压并经过了额外的20µs后。这个时段结束后，VROK只进行下限监测。

退出深睡眠模式时(拉低SUS)，MAX8707调整内部目标电压向新的目标摆动。当输出电压高于内部目标时控制器维持跳脉冲模式。随着内部目标电压接近输出电压，MAX8707启动所有被使能的相(拉高$\overline{DRSKP}$)，使输出电压按照R_{TIME}确定的摆率上升。在此期间控制器屏蔽VROK (强制为高阻)，直到过渡过程结束20µs后。

强制PWM工作模式(正常工作模式)

在软启动、软关断和正常工作—CPU正常运行(表5中，SKIP = 低)—过程中，MAX8707工作于低噪声、强制PWM控制方式。强制PWM模式强行拉高$\overline{DRSKP}$，命令驱动器关闭过零比较器，迫使低侧栅极驱动波形完全互补于高侧栅极驱动波形。这就使开关频率保持恒定，并允许电感电流在轻载时反向，迅速给输出电容放电，实现快速、精确的负向输出电压跳变。

强制PWM工作模式的代价是：空载时+5V偏置电源的电流保持在每相10mA至200mA之间，和所用的外部MOSFET和开关频率有关。为在轻载情况下保持高效，控制器进入挂起模式后，切换到一种低功率跳脉冲控制方式。

轻载跳脉冲模式

MAX8707具有一个轻载工作模式控制输入(SKIP)，用来关闭多余的相，并使能/禁止驱动器的过零比较器。当使能驱动器的过零比较器(拉低$\overline{DRSKP}$)时，控制器强制被关闭相的PWM_为低，当其检流输入检测到电感电流为零时拉低DL_。这样可以阻止电感对输出电容放电，并迫使控制器在轻载时跳过一定数量的脉冲，防止输出电容被过充电。当禁止过零比较器时，每个控制器在轻载时保持PWM工作模式(强制PWM)。

当配置为强制PWM模式的MAX8707 (拉低SKIP)进入挂起模式时，控制器会在目标电压到达预定的SUSV电压并经过20µs后自动切换到跳脉冲控制方式。

当跳脉冲工作模式被使能时，控制器在输出电压大于反馈门限，并且电流检测电压超过Idle Mode™检流门限($V_{IDLE} = 0.1 \times V_{PKLIMIT}$)时终止导通周期。在重载时，连续的电感电流始终在Idle Mode检流门限以上，因此导

Idle Mode是Maxim Integrated Products, Inc.的商标。

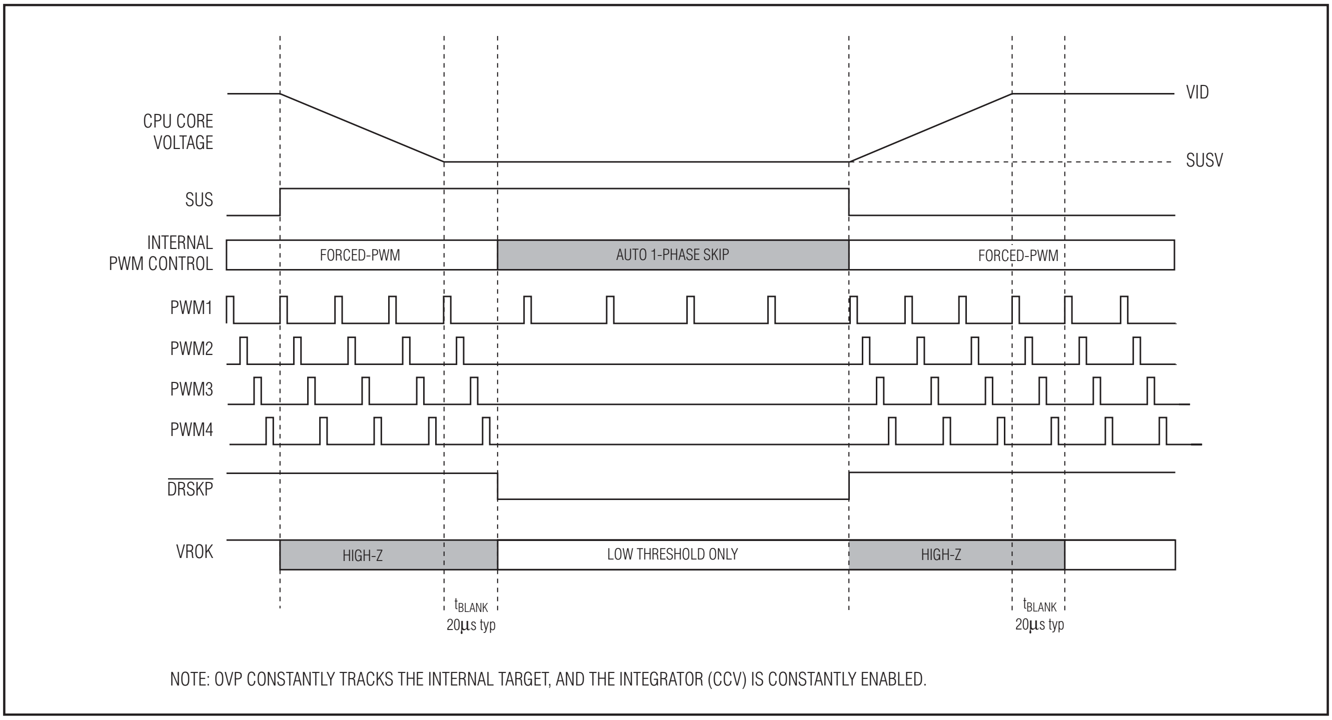


图 4. 强制 PWM 模式(SKIP = 低)与挂起模式间的过渡。

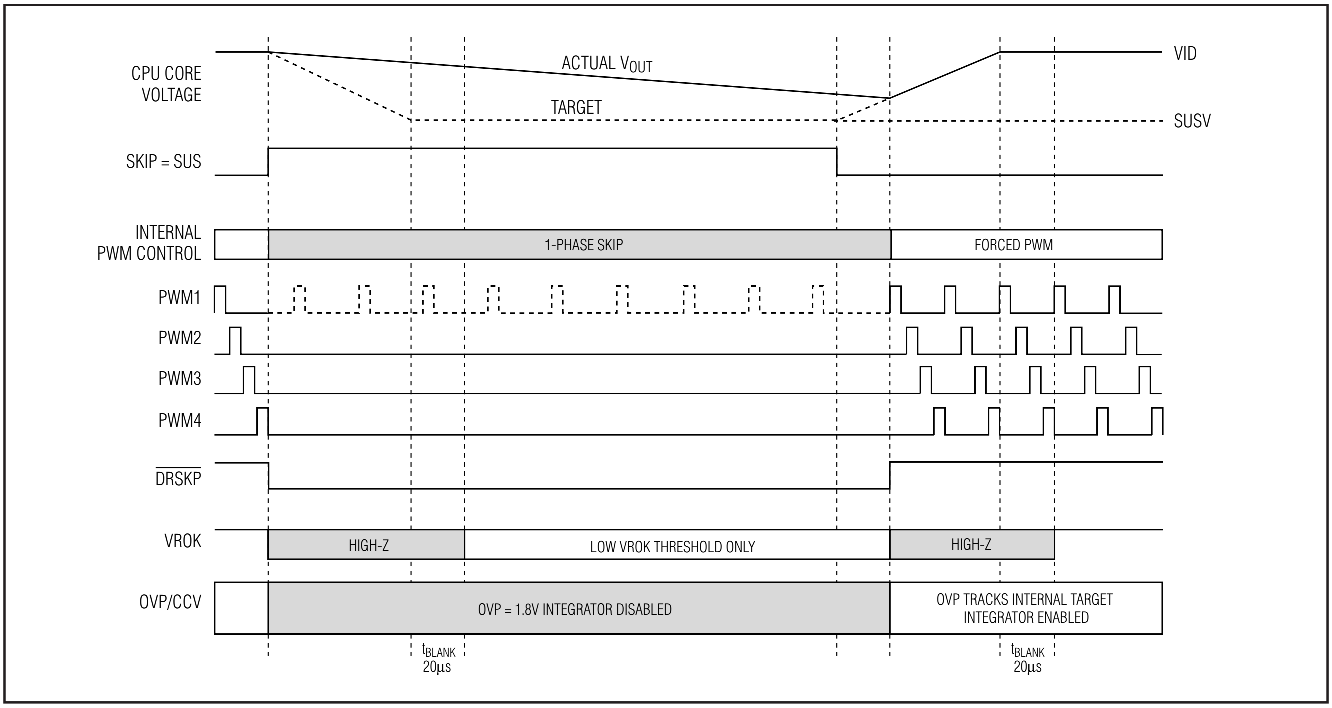


图 5. 跳脉冲模式(SKIP = SUS)与挂起模式间的过渡。

表 5. SKIP 设置表

SKIP (输入)	**SUS** (输入)	模式	**$\overline{\text{DRSKP}}$** (输出)	工作方式
低 (GND)	低 (GND)	多相 强制 PWM	高 (V_{DD})	控制器工作在恒定的开关频率下，提供低噪强制 PWM 方式。控制器禁止过零比较器，迫使低侧栅极驱动波形恒为高侧栅极驱动波形的互补。
	高 (3.3V 或 V_{CC})	单相 跳脉冲	低 (PGND)	控制器在目标电压到达 SUSV 电压 20µs 后自动切换到跳脉冲方式。跳脉冲方式迫使控制器在轻载时进入 PFM 工作模式。相 1 保持工作，而其他三相被关闭 (PWM2、PWM3 和 PWM4 被拉低)。
高 (>1.2V)	无关	单相 跳脉冲	低 (PGND)	跳脉冲模式强制控制器在轻载时进入 PFM 工作模式。相 1 保持工作，其他三相被关闭—PWM2、PWM3 和 PWM4 被拉低。

通时间只取决于反馈电压门限。在轻载时，控制器始终在反馈电压门限以上，因此导通时间只取决于 Idle Mode 检流门限，它接近于满负载限流门限 (由 ILIM(PK) 设定) 的 10%。

当控制器进入挂起模式，同时 SKIP 被拉高时，多相控制器立即关闭另外三相，只保留一个主相 (PWM1) 工作。当工作于跳脉冲模式时，控制器屏蔽 VROK 上限检测，OVP 门限跟踪选定的 VID DAC 编码。无论 SKIP 如何连接，MAX8707 在软启动和软关断期间都会自动采用强制 PWM 模式。

闲置模式 (Idle Mode) 电流门限

闲置模式 (Idle Mode) 电流门限迫使调节器在轻载时于每个导通周期向负载输送一个最小数量的能量，因为控制器不能在电流检测电压超过闲置模式电流门限 (V_{IDLE} = 0.1 x $V_{PKLIMIT}$) 前终止导通周期。由于过零比较器阻止开关调节器吸收电流，因此控制器必须跳过一些脉冲，以免对输出电容过度充电。当时钟沿到来时，如果输出电压仍然大于反馈门限，控制器不会启动另一个导通周期。实际上，这就迫使控制器在轻载工作条件下对输出电压纹波的谷值进行调节。

跳脉冲模式的自动切换

在跳脉冲模式中，MAX8707 关闭三个相并强制拉低 $\overline{\text{DRSKP}}$，命令跳脉冲模式驱动器激活过零比较器。这样，轻载时控制器会自动切换到 PFM 工作模式 (图 6)，提供更高的效率。这种切换受控于一个比较器，该比较器在电感电流过零时终止低侧开关的导通周期。驱动器的过零比较器在低侧 MOSFET 上检测电感电流 (参见跳脉冲模式驱动器数据手册)。一旦 V_{LX} - V_{PGND} 压差降低到过零比较器阈值以下，则驱动器强制拉低 DL。这种机制形成的跳脉冲 PFM 和非跳脉冲 PWM 两种工作模式间的分界点，与连续和非连续两种电感工作模式 (也称为临界传导点) 间的分界点相重合。PFM/PWM 转折点的负载电流，$I_{LOAD(SKIP)}$，计算如下：

$$I_{LOAD(SKIP)} = \frac{V_{OUT}\left(V_{IN} - V_{OUT}\right)}{2V_{IN}f_{SW}L}$$

当轻载导致跳脉冲工作模式时，开关波形中可能会出现杂波和异步，但这是获得高轻载效率的正常工作情况。通过改变电感值，可在 PFM 噪声与轻载效率间取得平衡。通常来讲，电感量较低时，效率－负载曲线上高效率的平坦区域更为宽阔，而更高的电感值会得到更高的

满载效率(假定线圈电阻保持不变)和更小的输出电压纹波。使用更高值的电感会增大物理尺寸，降低负载瞬态响应(在低输入电压时更为显著)。

电流检测

每一相的输出电流都采用差分方式检测。MAX8707的每一相都具有独立的回路用于全差分电流检测。由于各相采用了低失调电压、高增益(10V/V)差分电流检测放大器，允许使用低阻值检流电阻，使功耗降至最低。在每相的输出端检测电流有很多优点，包括更低的噪声敏感度、各相之间更精确的电流均衡、以及可灵活选择利用检流电阻或输出电感的直流电阻来作为检流元件。

利用输出电感的直流电阻 R_{DCR} 检流可提供更高效率。采用这种配置时，在进行输出电压下垂误差预算时，必须考虑电感DCR的初始容差和温度系数。此种检流方式采用RC滤波网络从输出电感中提取电流信息(图7)。RC电路的时间常数应该与电感的时间常数(L/R_{DCR})匹配：

$$\frac{L}{R_{DCR}} = R_{EQ}\ C_{SENSE}$$

其中，C_{SENSE} 为检测电容，R_{EQ} 为等效检测电阻。为了降低因电流检测输入端的输入偏置电流($I_{CSP_}$ 和 $I_{CSN_}$)引起的检测误差，选择 R_{EQ} 小于2kΩ，并根据上述公式来确定检测电容(C_{SENSE})。电容器应具有5%的容差，电阻应为1%容差。在这种检流方式中建议采用温度补偿。

为实现更精确的输出电压定位，可采用一只检流电阻检测电流(MAX8707中接于CRSP至CRSN之间)，同时应使用差分RC滤波电路来消除检流电阻等效串联电感的影响(图7)。与电感DCR检测方式类似，RC滤波器的时间常数应该与检流电阻的寄生电感L/R时间常数匹配：

$$\frac{L_{ESL}}{R_{SENSE}} = R_{EQ}\ C_{SENSE}$$

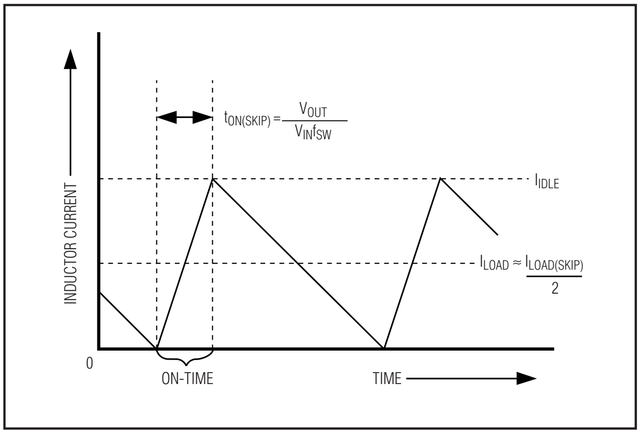


图6. 跳脉冲/非连续转折点

其中，L_{ESL} 为检流电阻的等效串联电感，R_{SENSE} 为检流电阻阻值，C_{SENSE} 为补偿电容，R_{EQ} 为等效补偿电阻。

电流均衡

固定频率、多相、电流模式结构可自动平衡各相的电流。振荡器触发一个导通周期后，直到放大后的差分检流电压到达积分后的门限电压(V_{REF} - V_{TRC})，控制器才会终止导通周期。这种控制机制调节每相电感的峰值电流，强制它们保持适当的均衡。因此，平均电感电流的偏差主要取决于检流元件和电感值的偏差。

峰/均电流限

MAX8707的限流电路采用一种快速峰值电感电流检测方法。一旦工作相的检流信号(CSP至CSN)超过了峰值电流门限，PWM控制器立即终止导通周期。MAX8707还采用一种速度较慢的平均电流检测手段，采用CRSP和CRSN之间的检流电阻精确限制电感电流。当平均检流门限被超过时，限流电路降低峰值电流门限，等效地降低了平均电感电流。请参见*设计步骤*部分中的*电流限制*一节。

用于 AMD Hammer CPU 核电源的多相、固定频率控制器

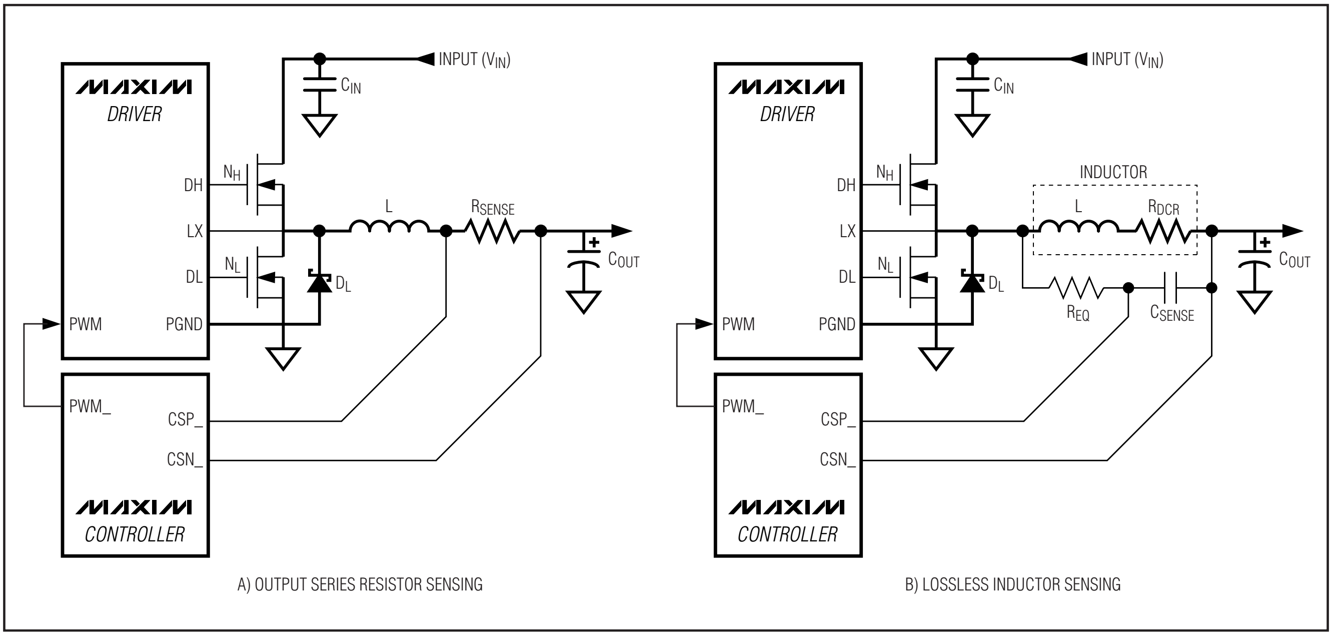


图 7. 两种检流方式

上电顺序 (POR、UVLO)

当 V_{CC} 上升至约 2V 以上时，启动上电复位 (POR)，清除故障锁存器，使控制器做好运行前的准备。V_{CC} 欠压锁定 (UVLO) 电路禁止开关动作—强制拉高 $\overline{DRSKP}$，拉低 PWM_ 输出一直到 V_{CC} 上升至 4.25V 以上。一旦系统使能控制器—V_{CC} 高于 4.25V 并且 $\overline{SHDN}$ 被拉高，控制器即开始给基准上电。基准稳定后，控制器开始提升输出电压逐步趋于目标电压—VID DAC (SUS = 低) 或 SUSV 挂起电压 (SUS = 高)—以 R_{TIME} 设定摆率的 1/4 速率摆动：

$$t_{TRAN(START)} = \frac{4V_{TARGET}}{dV_{TARGET}/dt}$$

其中，$dV_{TARGET}/dt = 6.25mV/\mu s \times 143k\Omega/R_{TIME}$ 为设定摆率。软启动电路没有使用可变电流限，因此可立即供出满额输出电流。MAX8707 达到目标电压后再经过约 20µs，VROK 变成高阻态。

如果配置为自动启动，则应先于 V_{CC} 施加电池电压。如果控制器在没有电池电压的情况下试图调节输出至稳定值，就会触发故障锁存器。这会使控制器保持关断状态，直至通过触发 $\overline{SHDN}$ 或将 V_{CC} 降低到 1V 以下再重新上电清除锁定故障。

如果 V_{CC} 电压降低到 4.25V 以下，控制器即认为电源电压不足以支持正常的工作。进入输出过压故障保护时，控制器立即关断—强制拉高 $\overline{DRSKP}$ 并拉低 PWM_ 输出。

关断

当 $\overline{SHDN}$ 变低时，MAX8707 进入低功耗关断模式。立即拉低 VROK，输出电压按照 1/4 倍 R_{TIME} 设定的摆率下降：

$$t_{TRAN(SHDN)} = \frac{4V_{OUT}}{dV_{TARGET}/dt}$$

其中，$dV_{TARGET}/dt = 6.25mV/\mu s \times 143k\Omega/R_{TIME}$ 为设定的摆率。在一个较长的时间内为输出电容缓慢放电使负向电感电流保持在比较低的水平 (阻尼摆动)，因而消除了输出电压的负向偏移，否则，如果永久开启低侧 MOSFET 而使输出迅速放电 (欠阻尼摆动)，则会使输出产生负偏移，通常需要在输出和地之间接一只肖特基二极管来钳制这个负压。因此，这种关断方式省掉了这个肖特基二极管。当控制器达到 0V 目标电压时，驱动器被禁止 (拉低 $\overline{DRSKP}$ 和 PWM_ 输出电压)，基准关闭，电源

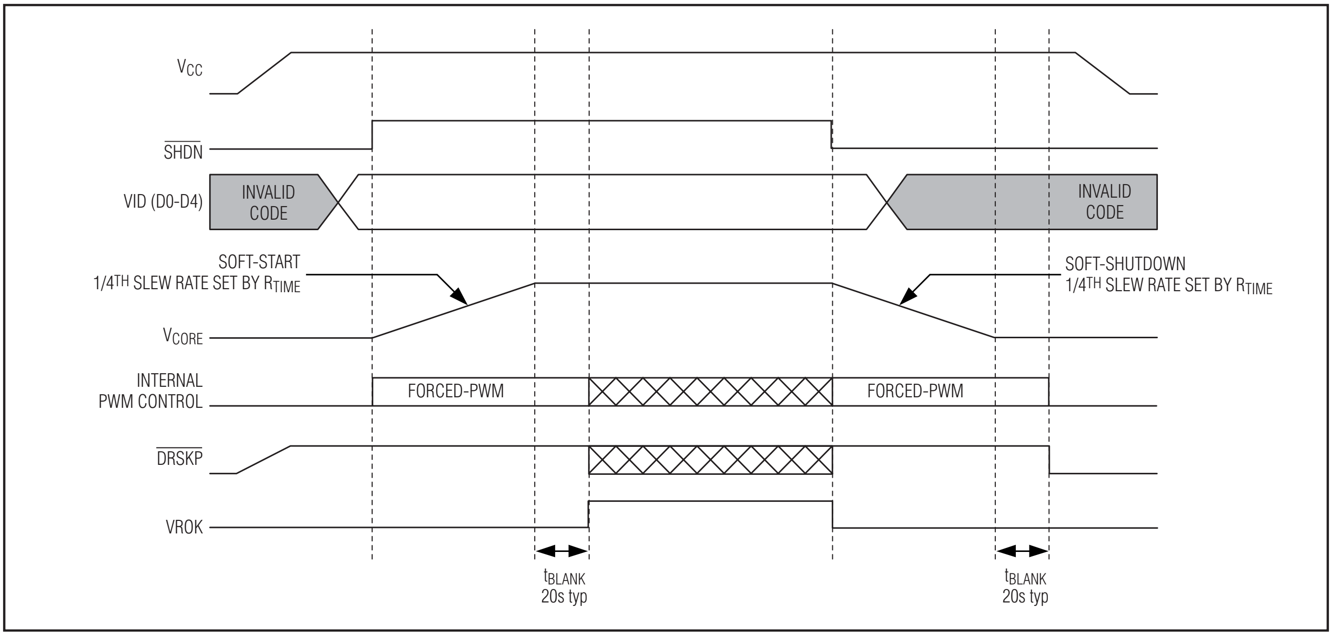


图 8. 上电和关断时序定时图

电流降低到约 10µA (最大值)。如果是某种故障情况—输出 UVLO 或热关断—启动关断时序，则保护电路同时置位故障锁存器，阻止控制器重新启动。要清除故障锁存器并重新启动控制器，可重新触发 $\overline{SHDN}$ 或使 V_{CC} 电源从 1V 以下重新上电。

故障保护

输出过压保护 (非锁定)

过压保护 (OVP) 电路设计用来保护 CPU，防止因高侧 MOSFET 短路而损坏 CPU。保护启动后电路吸取很大的电流使电池保险丝熔断。MAX8707 连续监视输出上的过压故障。如果输出电压超出设定的目标电压 200mV，则控制器检测到一个 OVP 故障。进入跳脉冲工作模式后 (SKIP 上升沿)，在输出电压首次跌至目标电压下之前，OVP 门限始终被设定在 1.75V。一旦 MAX8707 检测到输出即将稳定 ($V_{OUT} \approx V_{TARGET}$)，OVP 门限随即开始跟踪目标电压。当 OVP 电路检测到过压故障时，立即进入强制 PWM 工作模式—拉高 $\overline{DRSKP}$，因此驱动器强制拉高低侧栅极驱动器 ($DL = V_{DD}$)，并且将高侧栅极驱动器拉低 ($DH = LX$)。这就使同步整流 MOSFET 以 100% 的占空比导通，从而迅速使输出滤波电容放电，迫使输出电压降低。如果引起过压的故障持续存在(例如高侧 MOSFET 短路)，则会使电池保险熔断。

通过无故障测试模式可禁止过压保护功能 (请参见*无故障测试模式*一节)。

输出欠压保护 (锁定)

输出欠压保护 (UVP) 功能与折返式限流相似，但采用的是一个定时器而不是可变电流限。如果 MAX8707 输出电压低于标称值的 70%，则控制器启动关断时序，并设置故障锁存器。控制器将输出缓降至 0V 目标电压后，强制拉低 PWM_ 驱动器输出。触发 $\overline{SHDN}$ 或使 V_{CC} 电源降到 1V 以下可清除故障锁存器并重新启动控制器。

通过无故障测试模式可禁止 UVP (请参见*无故障测试模式*一节)。

热故障保护 (锁定)

MAX8707 具有热故障保护电路。当结温上升到 +160°C 以上时，热传感器设置故障锁存器并启动软关断时序。控制器将输出缓降至 0V 目标电压后，强制拉低 PWM_ 驱

动器输出。结温下降 15°C 以后，触发 $\overline{SHDN}$ 或使 V_{CC} 电源降到 1V 以下可清除故障锁存器并重新启动控制器。

通过无故障测试模式可禁止热关断 (请参见*无故障测试模式*一节)。

无故障测试模式

锁定式故障保护特性使原型样板的调试复杂化，因为(最多)只有几毫秒的时间可供设计者确定问题所在。因此，该芯片提供了一种无故障测试模式，可禁止掉故障保护—过压保护、欠压保护和热关断。此外，测试模式还可清除故障锁存器(如果它已被置位)。施加 11V 至 13V 电压到 $\overline{SHDN}$ 上可进入无故障测试模式。

多相、固定频率设计步骤

选择开关频率和电感工作点(纹波电流比)之前，首先要落实输入电压范围和最大负载电流。主要的设计折衷点在于选择一个适宜的开关频率和电感工作点，下面的四个要素可引领你完成余下的设计：

输入电压范围：最大值 ($V_{IN(MAX)}$) 必须承受最坏情况下交流适配器的电压上限。最小值 ($V_{IN(MIN)}$) 必须考虑连接器、保险丝和电池选择开关上的压降。如果可以选择，较低的输入电压会提供更佳的效率。

最大负载电流：需要考虑两个值。峰值负载电流 ($I_{LOAD(MAX)}$) 决定瞬时元件应力和滤波要求，并因此决定了输出电容的选择，电感饱和额定值以及限流电路的设计。连续负载电流 (I_{LOAD}) 决定热应力，并因此决定了输入电容的选择、MOSFET 和其他重要的发热元件的规格。现代的笔记本 CPU 通常表现为 $I_{LOAD} = (I_{LOAD(MAX)}) \times 80\%$。

在多相系统中，根据电流均衡度，每相支持一部分负载。平衡得比较好时，负载电流均匀分配于各相中：

$$I_{LOAD(PHASE)} = \frac{I_{LOAD}}{\eta_{PH}}$$

其中，η_{PH} 为总的工作相数。

开关频率：该项选择确定了尺寸与效率之间基本的平衡点。最优化频率很大程度上取决于最高输入电压，因为 MOSFET 的开关损耗正比于频率和 V_{IN}^2。最优化频率也是与时俱进的，随着 MOSFET 技术的迅速改进，使更高的频率成为可能。

电感工作点。该项选择提供了尺寸与效率之间、瞬态响应和输出噪声之间的折衷。小电感值可提供更好的瞬态响应和更小的物理尺寸，但由于纹波电流的增加，也具有更低的效率和更高的输出噪声。最小的实用电感值在最大负载下使电路工作在临界传导的边缘(电感电流在每个周期刚好归零)。比此临界点更低的电感值将不会带来进一步缩减尺寸的好处。最佳工作点通常为 20% 至 50% 的纹波电流。

电感选择

开关频率和工作点(纹波电流百分比或 LIR)决定了电感值：

$$L = \eta_{PH}\left(\frac{V_{IN} - V_{OUT}}{f_{SW}\ I_{LOAD(MAX)}\ LIR}\right)\left(\frac{V_{OUT}}{V_{IN}}\right)$$

其中，η_{PH} 为总相数，f_{SW} 为每相开关频率。

选择一只能够安装在预定尺寸内，直流电阻尽可能低的低损耗电感。如果使用摆动电感(空载电感值随电流增长线性降低)，则应将电感值乘以适当的比例因子后估算 LIR。对于选定的电感值，实际的峰－峰电感纹波电流 ($\Delta I_{INDUCTOR}$)计算如下：

$$\Delta I_{INDUCTOR} = \frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN}\ f_{SW}\ L}$$

铁氧体芯的电感通常是最佳选择，不过铁粉芯更便宜，而且能在 200kHz 下很好地工作。磁芯必须足够大，在峰值电感电流 (I_{PEAK})下不应饱和：

$$I_{PEAK} = \left(\frac{I_{LOAD(MAX)}}{\eta_{PH}}\right) + \left(\frac{\Delta I_{INDUCTOR}}{2}\right)$$

电流限制

峰值电感电流限制(ILIM(PK))

MAX8707 的过流保护电路采用峰值电流检测法，采用检流电阻或电感的 DCR 作为检流元件(参见*电流检测*一节)。由于控制器限制了峰值电感电流，最大平均负载电流就比峰值电流门限低出电感纹波电流的一半。因此，最大负载能力由检流电阻、电感值、开关频率和输入电压来决定。与欠压保护电路组合时，这种限流方式非常有效。

峰值电流门限由一只连接于 ILIM(PK)和模拟地之间的电阻设定，根据以下公式来确定阻值：

$$R_{ILIM(PK)} = \frac{8V \times R_{TRC}}{I_{PKLIMIT}\ R_{SENSE}}$$

其中，R_{SENSE} 为检流元件的阻值(电感的 DCR 或检流电阻)，R_{TRC} 为 TRC 和 REF 间的电阻，而 $I_{PKLIMIT}$ 为期望得到的峰值电流门限(每相)。峰值电流门限电压具有 20mV 至 80mV 的调节范围。

V_{OUT} 吸收电流时，峰值电流限制电路还可阻止过大的反向电感电流。负向电流门限等于正向电流门限，并在调节 $R_{ILIM(PK)}$ 或 R_{TRC} 时跟踪正向电流门限。当某一相电流降到负电流门限以下时，不管误差放大器的状态如何，控制器都会在下一个时钟沿到来时发出一个导通周期的脉冲，直到电感电流上升到负电流门限以上。

平均电感电流限制(ILIM(AVE))

MAX8707 还利用 CRSP 与 CRSN 之间更精确的电流检测电压限制每一相的平均电流。当平均电流门限被突破时，控制器会在内部降低峰值电感电流门限(ILIM(PK))，直到平均电流回到设定的门限以内。当禁止精确电流检测时 (CRSP = V_{CC})，平均电流限制电路也被禁止。

如果连接 ILIM(AVE) 引脚至 V_{CC}，则平均电流门限取默认值 25mV。在可调模式下，平均电流门限电压精确地等于 ILIM(AVE) 引脚和基准之间电压差的 1/20：

$$V_{LAVE} = \frac{V_{REF} - V_{ILIM(AVE)}}{20}$$

向 25mV 默认值切换的逻辑门限近似为 V_{CC} - 1V。当 V_{OUT} 吸收电流时，平均电流限制电路也可阻止过量的反向电感电流。负电流门限等于正电流门限，并在调节 V_{LAVE} 时跟踪正电流门限。

输出电容选择

输出滤波电容必须有足够低的等效串联电阻(ESR)，以满足输出纹波和负载瞬态响应要求。在 CPU V_{CORE} 转换器和其他可能会面临剧烈的负载瞬变的应用中，输出电容的尺寸一般取决于对负载瞬态响应的要求，要求在瞬态负载的作用下 ESR 不应使输出产生过大的下跌。如果忽略有限容值引起的电压下跌：

$$(R_{ESR} + R_{PCB}) \le \frac{V_{STEP}}{\Delta I_{LOAD(MAX)}}$$

在非 CPU 类应用中，输出电容的尺寸通常取决于对输出纹波电压的要求，要求因 ESR 产生的输出纹波电压在可接受的水平。降压型控制器的输出纹波电压等于总的电感纹波电流与输出电容的 ESR 之积。在错相工作的多相系统中，各相的峰值电感电流是交错的，这就降低了总的纹波电流，从而降低了输出纹波电压(V_{RIPPLE})。对于不重叠的多相工作模式($V_{IN} \ge \eta_{PH} \times V_{OUT}$)，满足输出纹波电压要求的最大 ESR 为：

$$R_{ESR} \le \left[\frac{V_{IN}\ f_{SW}\ L}{(V_{IN} - \eta_{PH}\ V_{OUT})V_{OUT}}\right]V_{RIPPLE}$$

其中，η_{PH} 为总工作相数，f_{SW} 为每相开关频率。所需的实际容值与满足 ESR 要求所需的物理尺寸有关，也与电容的化学特性有关。因此，电容的选择通常受限于 ESR 和额定电压而非容值(对于聚合物类的电容)。

电容值的选择主要取决于输出瞬态响应要求。低值电感允许电感电流更快地摆动，这样，在负载发生突变时可以更迅速地补充或释放输出滤波电容上的电荷。当负载被移走后输出电压上冲的幅度是输出电压和电感值的函数。防止电感储能引起过冲 (V_{SOAR}) 所需的最小输出电容可计算如下：

$$C_{OUT} \geq \frac{(\Delta I_{LOAD(MAX)})^2 L}{2\eta_{PH} V_{OUT} V_{SOAR}}$$

其中，η_{PH} 为总有效相数。当使用低容值陶瓷滤波电容时，电容器尺寸通常取决于负载瞬变期间，防止 V_{SOAR} 超出允许范围所需的电容量。一般来讲，只要容量满足上冲要求，那么负载上升沿产生的下冲也不会有问题。

输入电容选择

输入电容必须满足开关电流产生的纹波电流要求(I_{RMS})。错相工作的多相控制器将输入电流分配于多个交错的相中，降低了 RMS 输入电流。当占空比小于每相 100%/η_{PH} 时，根据以下公式来确定 I_{RMS} 规格：

$$I_{RMS} = \left(\frac{I_{LOAD}}{\eta_{PH} V_{IN}}\right)\sqrt{\eta_{PH} V_{OUT}(V_{IN} - \eta_{PH} V_{OUT})}$$

其中，η_{PH} 为开关调节器的总相数。最坏情况的 RMS 电流出现在 $V_{IN} = 2\eta_{PH} V_{OUT}$ 工作条件下。此时，上述公式简化为 $I_{RMS} = 0.5 \times I_{LOAD}/\eta_{PH}$。

大多数应用中可优先考虑非钽质电容(陶瓷、铝或 OS-CON)，因为它们对于浪涌电流具有抑制作用，尤其是在输入端串接了机械式开关或连接器的系统中。如果 MAX8707 被用于两级功率转换系统中的第二级，则可考虑钽输入电容。无论何种配置，都应保证输入电容在 RMS 输入电流的作用下温升小于 10°C，以获得更长的工作寿命。

设置电压定位

电压定位功能随着负载电流的增加动态降低输出电压，从而降低了对输出电容的要求和处理器的功耗。控制器采用两个跨导放大器分别设置瞬态和稳态输出电压下垂 (图 2)。瞬态补偿 (TRC) 放大器确定 MAX8707 响应负载瞬变的速度。较慢的电压定位 (VPS) 放大器根据负载情况调整稳态电压。这种可调节性使设计者能够灵活选择检流电阻阻值或电感 DCR，并允许采用更小的检流电阻，降低总体功耗。

稳态电压定位

在 VPS 和 FBS 间接一只电阻 (R_{VPS})，可根据需要的直流电压定位斜率 (R_{DROOP}) 来设置稳态直流下垂(负载线)：

$$R_{VPS} = \frac{R_{DROOP}}{R_{SENSE}\, G_{M(VPS)}}$$

其中，检流电阻 (R_{SENSE}) 取决于检流方式，电压定位放大器的跨导 ($G_{M(VPS)}$) 根据 *Electrical Characteristics* 表中的典型值为 200µs。当使能 MAX8707 CRS 检测时，R_{SENSE} 被就是精确的 CRS 检流电阻：

$R_{SENSE} = R_{CRS}$ (使能 CRS 检测时)

禁止 MAX8707 CRS 时，控制器将电流检测输入信号 (CSP_, CSN_) 相加在一起。这些输入通常采用电感的直流电阻 (R_{DCR}) 检测电流，因此 R_{SENSE} 为平均的有效 CS 检流电阻 (请参见*电流检测*一节)：

$R_{SENSE} = R_{DCR}$ (禁止 CRS 检测时)

当电感的 DCR (R_{DCR}) 被用作检流元件时 (无损检测)，R_{VPS} 中应该包含一只 NTC 热敏电阻，以便使电压定位斜率的温度依赖性减至最小。

为避免电压定位电流引起输出电压误差，用另一个跨导放大器产生一个相等的电流注入 FBS 输入。将 CRSP 与 V_{CC} 连接，可禁止精确的 MAX8707 CRS 检测功能。

将VPS直接与FBS短接，可禁止电压定位功能。

瞬态下垂

在TRC和REF间接一只电阻(R_{TRC})，可根据电压定位要求设置适当的瞬态下垂($R_{DROOP(AC)}$)。TRC使控制器快速响应负载瞬变，但不会影响直流稳态下垂。根据以下公式来选择R_{TRC}：

$$R_{TRC} = \frac{R_{TRANS}R_{CS}}{\eta_{PH}R_{DROOP(AC)}}$$

其中，R_{CS}为接在CSP_至CSN_间的检流元件(通常为电感的有效DCR：$R_{CS} = L / R_{EQ}C_{SENSE}$)，$R_{TRANS}$为电流检测放大器的增益除以跨导放大器的跨导(见*Electrical Characteristics*表中的规定)，$R_{DROOP(AC)}$通常为直流电压定位斜率的80%，以便使瞬态电压下跌最小。

TRC电阻还设定了小信号环路增益，因此，即使没使用电压定位(VPS = FBS)，也需要最大值的R_{TRC}，以求稳定。

$$V_{RIPPLE}\ R_{TRC} < (R_{TRANS}\ R_{SENSE}\ \Delta I_L) / 3$$

TRC在关断模式中为高阻。

应用信息

占空比限制

最小输入电压

最小输入工作电压(电压降)受限于稳定性要求，而不是最小关闭时间($t_{OFF(MIN)}$)。MAX8707没有斜率补偿，因此每相占空比大于50%时，控制器就不稳定：

$$V_{IN(MIN)} \geq 2V_{OUT(MAX)}$$

但是，控制器可以在重载瞬变期间以50%以上的占空比短暂工作。

最大输入电压

MAX8707控制器和驱动器具有一个最短导通时间，决定了维持开关频率不变条件下的最大输入电压。输入电压更高时，每个脉冲传递的能量就高出了输出输送给负载的能量。在每个周期开始时，如果输出电压仍然大于反馈门限电压，控制器将不触发导通脉冲，这样，无论SKIP选择何种工作模式，控制器都以跳脉冲方式工作。以这种方式，控制器能够在输入高于最大输入电压时保持输出稳定，但迫使控制器等效工作于较低的开关频率。这就形成一个使控制器开始进入跳脉冲方式的输入门限电压($V_{IN(SKIP)}$)：

$$V_{IN(SKIP)} = V_{OUT}\left(\frac{1}{f_{SW}t_{ON(MIN)}}\right)$$

其中，f_{SW}为OSC引脚选定的每相开关频率，$t_{ON(MIN)}$为110ns加驱动器的关闭延迟(PWM低到LX低)减去驱动器的开启延迟(PWM高到LX高)。要获得最佳的高压性能，可将开关频率设置成最低(每相200kHz，OSC = GND)。

PC板布局准则

仔细的PC板布局是实现低开关损耗和干净、稳定工作的关键。开关功率级尤其需要特别注意(图9)。如果可能，所有功率元件安装在印刷板的顶层，它们的接地端彼此靠近。良好的PC板布局应遵从以下准则：

1) 保持大电流通道尤其是接地端尽可能短。这是获得稳定的、无抖动工作的关键。
2) 将所有模拟地接至一个单独的实心覆铜层，该层连接至控制器的GND脚。其中包括V_{CC}旁路电容、REF和GNDS旁路电容、补偿(CCV和TRC)元件和接在$I_{LIM(AVE)}$、SUSV和OFS之间的电阻分压器。
3) 功率线和负载连线要尽量短。这对于高效率非常重要。采用厚铜膜PC板(2oz对1oz)能将满载效率提高1%或更多。恰当地在PC板上走线是一件困难的工作，必须在几分之一厘米的范围内布局，哪怕是毫欧级的过量引线电阻都会造成显著的效率损失。
4) 为确保检流精度，必须采用Kelvin检测连接方式连接电流限制(CSP_和CSN_)和电压定位电路(CRSP和CRSN)。
5) 高速开关节点和驱动器引线要远离敏感的模拟区域(REF、CCV、TRC和VPS等)。所有通过引脚连接进行配置的控制输入($\overline{SHDN}$、SKIP、SUS和OSC)需连接到模拟地或V_{CC}，而不要连接到功率地或V_{DD}。
6) 驱动器靠近MOSFET放置，栅极驱动线(DL、DH、LX和BST)要尽量短而宽，尽量减小引线电阻和电感。这一点非常重要，高功率MOSFET要求低阻抗栅极驱动，以避免产生穿透电流。

用于 AMD Hammer CPU 核电源的多相、固定频率控制器

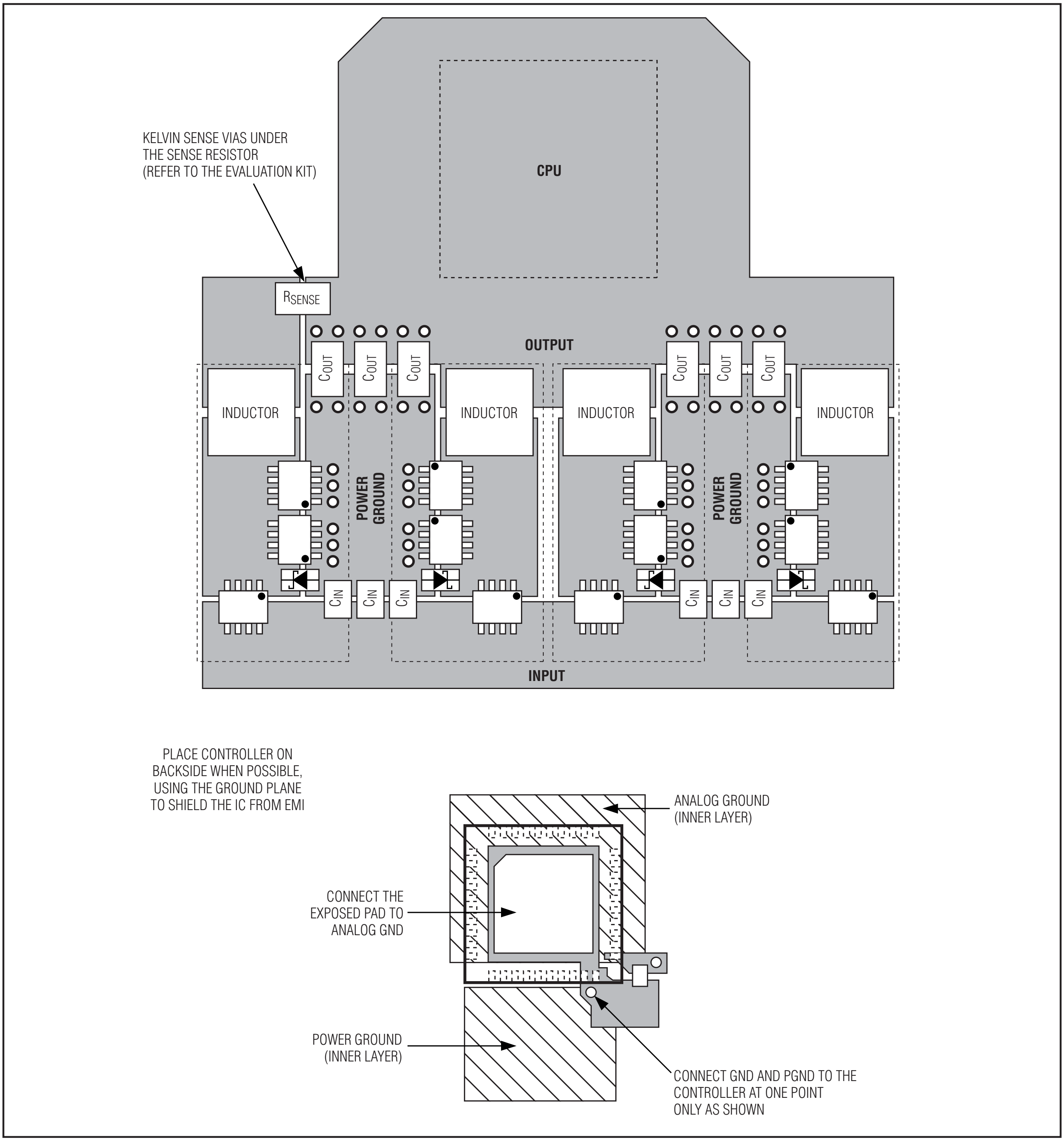


图 9. PC 板布局范例

7) 必须加长连线时，应首先考虑加长电感的充电通道而非放电通道。例如，最好加长输入电容和高侧MOSFET间的距离，而不要增加电感和低侧MOSFET或电感和输出滤波器电容间的距离。

布局步骤

1) 首先放置功率器件，并使它们的接地端子靠近(低侧MOSFET源极，C_{IN}，C_{OUT}和D1阳极)。如有可能，在顶层利用较宽的敷铜区域建立这些连接。

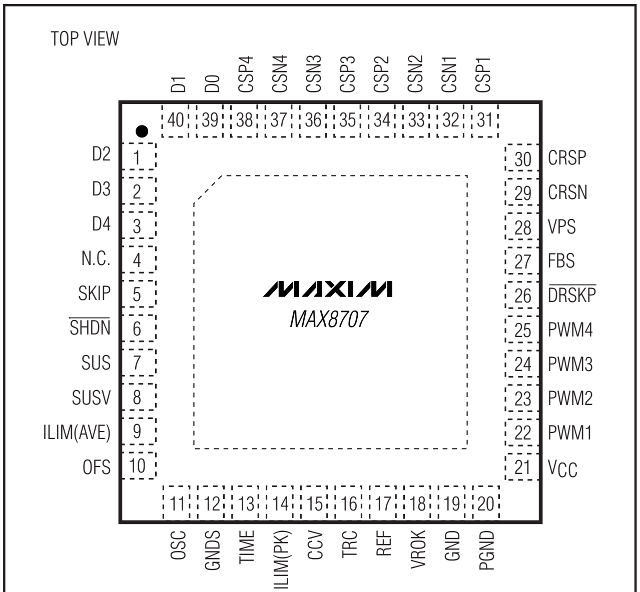
2) 靠近低侧MOSFET放置驱动器IC。DL栅极连线必须短而宽(如果MOSFET距驱动器IC为1英寸，则线宽为50mil至100mil)。

3) 将栅极驱动器相关元件(BST二极管和电容、V_{DD}旁路电容)靠近驱动器IC集中在一起。

4) 如*标准应用电路*所示的那样建立DC-DC控制器的接地。该图可被视作有三个独立的地平面：输入/输出地，连接所有大功率器件；功率地平面，连接PGND引脚、V_{DD}旁路电容和驱动器IC接地；以及控制器的模拟地平面，连接敏感的模拟元件、主控制器的GND引脚和V_{CC}旁路电容。控制器的模拟地平面(GND)必须与功率地平面(PGND)仅在单点交汇，交汇点可位于IC正下方。用一条短而厚的金属线条从PGND到低侧MOSFET的源极(星形地的中点)，连接功率地平面至高功率输出地。

5) 用多个过孔将输出功率平面(V_{CORE}和系统地平面)直连至输出滤波电容的正、负端。尽量靠近CPU放置整个DC-DC转换器电路。

引脚配置



THIN QFN
6mm x 6mm

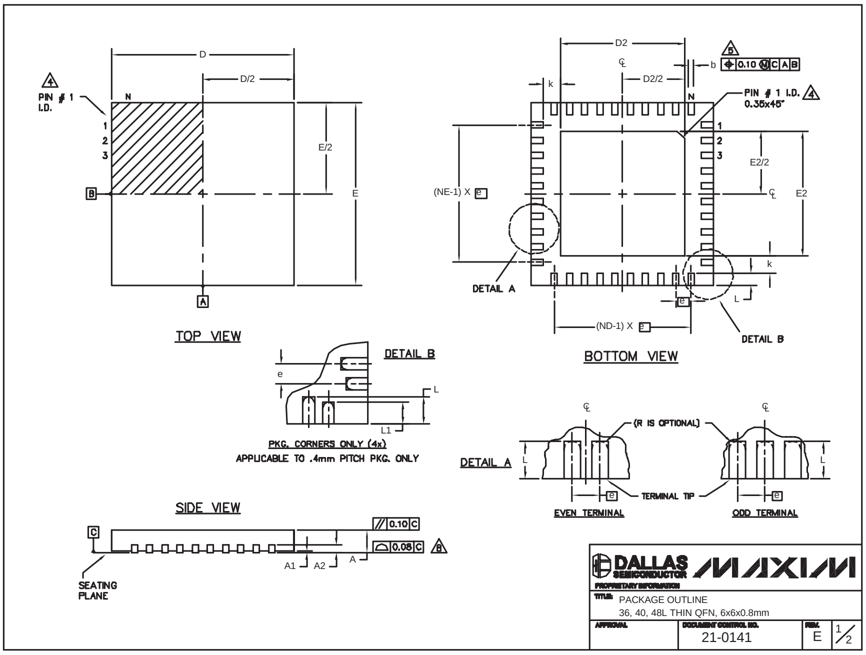
芯片信息

TRANSISTOR COUNT: 9011

PROCESS: BiCMOS

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 **www.maxim-ic.com.cn/packages**。)



COMMON DIMENSIONS									
PKG.	36L 6x6			40L 6x6			48L 6x6		
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	–	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.		
b	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
E	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
e	0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	–	–	0.25	–	–	0.25	0.35	0.45
L	0.45	0.55	0.65	0.30	0.40	0.50	0.40	0.50	0.60
L1	–	–	–	–	–	–	0.30	0.40	0.50
N	36			40			48		
ND	9			10			12		
NE	9			10			12		
JEDEC	WJJD-1			WJJD-2			–		

EXPOSED PAD VARIATIONS							DOWN BONDS ALLOWED
PKG. CODES	D2			E2			
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	
T3666-1	3.60	3.70	3.80	3.60	3.70	3.80	NO
T3666-2	3.60	3.70	3.80	3.60	3.70	3.80	YES
T3666-3	3.60	3.70	3.80	3.60	3.70	3.80	NO
T4066-1	4.00	4.10	4.20	4.00	4.10	4.20	NO
T4066-2	4.00	4.10	4.20	4.00	4.10	4.20	YES
T4066-3	4.00	4.10	4.20	4.00	4.10	4.20	YES
T4066-4	4.00	4.10	4.20	4.00	4.10	4.20	NO
T4066-5	4.00	4.10	4.20	4.00	4.10	4.20	NO
T4866-1	4.20	4.30	4.40	4.20	4.30	4.40	YES

NOTES:

1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
3. N IS THE TOTAL NUMBER OF TERMINALS.
4. THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
5. DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
6. ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
8. COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
9. DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR 0.4mm LEAD PITCH PACKAGE T4866-1.
10. WARPAGE SHALL NOT EXCEED 0.10 mm.

DALLAS SEMICONDUCTOR MAXIM
PROPRIETARY INFORMATION
TITLE: PACKAGE OUTLINE
36, 40, 48L THIN QFN, 6x6x0.8mm
APPROVAL | DOCUMENT CONTROL NO. 21-0141 | REV. E | 2/2

Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

© 2004 Maxim Integrated Products Printed USA

MAXIM 是 Maxim Integrated Products, Inc. 的注册商标。